

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-115914

(43)Date of publication of application : 07.05.1996

(51)Int.Cl.

H01L 21/3205

H01L 21/28

(21)Application number : 06-249035

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.10.1994

(72)Inventor : NAKAJIMA TAKASHI

MIURA HIDEO

SAITO NAOTO

OTA HIROYUKI

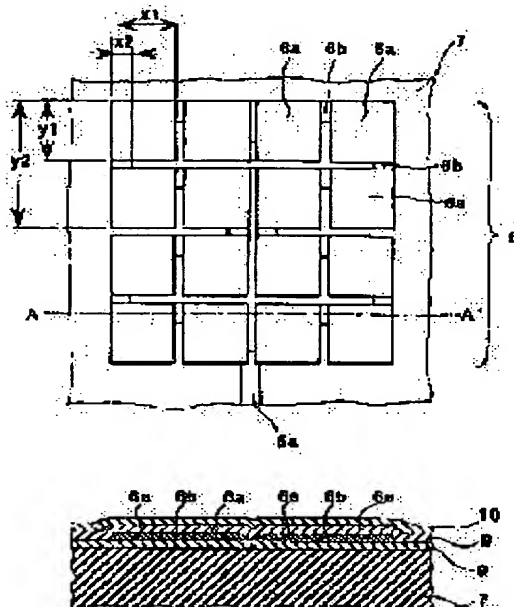
NISHIMURA ASAO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device capable of preventing the occurrence of hillock in a large-area conductive film covered with a thinned insulating film, and preventing inferiority such as the short circuit between wirings occurring at manufacture of a semiconductor device, the breaking of wiring, the breakage of an insulating film, separation, etc.

CONSTITUTION: In a semiconductor device which has a large-area conductive film 6 made through an insulating film 8 on a semiconductor substrate 7, the conductive film 6 is divided in lateral and longitudinal direction into $x1$ and $y2$ not more than the critical dimension of hillock occurrence, and the divided conductive films 6a are connected electrically with each other by other conductive films 6b. The conductive films 6b are arranged, being slid so that hillock may not occur even if combined with divided conductive films 6a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which has the conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the insulator layer The first conductive thin film which divided this conductive thin film into at least two at a time about both two direction where it differs within the same field as the aforementioned conductive thin film this -- it adjoins so that it may be prepared in the same field as the first conductive thin film and all the first conductive thin film may be connected electrically -- this -- two or more second conductive thin films which connect the first conductive thin film electrically

[Claim 2] The semiconductor device which has the conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the insulator layer The first conductive thin film which it divided into at least two at a time for every intervals [thin film / conductive / this] about both two direction where it differs within the same field as the aforementioned conductive thin film this -- it adjoins so that it may be prepared in the same field as the first conductive thin film and all the first conductive thin film may be connected electrically -- this -- two or more second conductive thin films which connect the first conductive thin film electrically

[Claim 3] The semiconductor device which has the conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the insulator layer The first conductive thin film which divided this conductive thin film into at least two for every interval, such as differing from the interval divided in this first direction about the second direction which divides into at least two for every intervals [thin film / conductive / this], and is different from this first direction within the same field as this conductive thin film about the first direction of / within the same field as the aforementioned conductive thin film this -- it adjoins so that it may be prepared in the same field as the first conductive thin film and all the first conductive thin film may be connected electrically -- this -- two or more second conductive thin films which connect the first conductive thin film electrically

[Claim 4] The semiconductor device characterized by preparing the third conductive thin film between the aforementioned insulator layer and the first conductive thin film in a claim 1 or either of 3.

[Claim 5] It is the semiconductor device characterized by not connecting the conductive thin film of the above second with any elements other than the conductive thin film of the above first electrically in a claim 1 or either of 4.

[Claim 6] The conductive thin film formed in the semiconductor substrate front face through the first insulator layer It is the second insulator layer of a wrap about this conductive thin film. Are the semiconductor device equipped with the above and it is related in both two direction in which it differs within the same field as the aforementioned conductive thin film. The first conductive thin film which divided this conductive thin film into at least two at a time, It has two or more second conductive thin films which connect the first conductive thin film electrically via the second insulator layer front face. all -- this -- it adjoins so that the first conductive thin film may be connected electrically -- this -- and -- this -- the second conductive thin film -- this -- it is characterized by not connecting with any elements other than the first conductive thin film electrically

[Claim 7] The conductive thin film formed in the semiconductor substrate front face through the first insulator layer It is the second insulator layer of a wrap about this conductive thin film. Are the

semiconductor device equipped with the above and it is related in both two direction in which it differs within the same field as the aforementioned conductive thin film. The first conductive thin film which it divided into at least two at a time for every intervals [thin film / conductive / this], It has two or more second conductive thin films which connect the first conductive thin film electrically via the second insulator layer front face. all — this — it adjoins so that the first conductive thin film may be connected electrically — this — and — this — the second conductive thin film — this — it is characterized by not connecting with any elements other than the first conductive thin film electrically

[Claim 8] The conductive thin film formed in the semiconductor substrate front face through the first insulator layer It is the second insulator layer of a wrap about this conductive thin film. Are the semiconductor device equipped with the above and it is related in the first direction of [within the same field as the aforementioned conductive thin film]. It is related in the second direction which divides into at least two for every intervals [thin film / conductive / this], and is different from this first direction within the same field as this conductive thin film. The first conductive thin film which divided this conductive thin film into at least two for every interval, such as differing from the interval divided in this first direction It has two or more second conductive thin films which connect the first conductive thin film electrically via the second insulator layer front face. all — this — it adjoins so that the first conductive thin film may be connected electrically — this — and — this — the second conductive thin film — this — it is characterized by not connecting with any elements other than the first conductive thin film electrically

[Claim 9] The semiconductor device which has the conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the insulator layer The first conductive thin film which divided this conductive thin film into at least two at a time about both two direction where it differs within the same field as the aforementioned conductive thin film this — all the fields that deposited the first conductive thin film — and — this — the second conductive thin film formed on all the fields between the first conductive thin film

[Claim 10] The semiconductor device which has the conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the insulator layer The first conductive thin film which it divided into at least two at a time for every intervals [thin film / conductive / this] about both two direction where it differs within the same field as the aforementioned conductive thin film this — all the fields that deposited the first conductive thin film — and — this — the second conductive thin film formed on all the fields between the first conductive thin film

[Claim 11] The semiconductor device which has the conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the insulator layer The first conductive thin film which divided this conductive thin film into at least two for every interval, such as differing from the interval divided in this first direction about the second direction which divides into at least two for every intervals [thin film / conductive / this], and is different from this first direction within the same field as this conductive thin film about the first direction of / within the same field as the aforementioned conductive thin film this — all the fields that deposited the first conductive thin film — and — this — the second conductive thin film formed on all the fields between the first conductive thin film

[Claim 12] The semiconductor device characterized by preparing the third conductive thin film between the aforementioned insulator layer and the first conductive thin film in a claim 9 or either of 11.

[Claim 13] The semiconductor device characterized by having the rib which touches the front face of the conductive thin film of the above second among the conductive thin films of the above first in a claim 9 or either of 12, and having the second insulator layer of a wrap for the conductive thin film of the above second.

[Claim 14] The semiconductor device characterized by having the second insulator layer with a rib with which the thickness of the conductive thin film formed in the semiconductor substrate front face through the first insulator layer, the first conductive thin film in which a portion with thin thickness and a portion with two or more thick thickness exist this conductive thin film in the semiconductor device which has the second insulator layer of a wrap, and the first conductive thin film touches the front face of a thin portion.

[Claim 15] The semiconductor device which has the second insulator layer of a wrap for the

conductive thin film which is characterized by providing the following, and which was formed in the semiconductor substrate front face through the first insulator layer, and this conductive thin film The first conductive thin film in which a portion with thin thickness and a portion with two or more thick thickness exist The second conductive thin film formed on all the fields that deposited the conductive thin film of this first The second insulator layer with a rib which touches the second conductive thin film by which the thickness of the first conductive thin film was formed in the front face of a thin portion

[Claim 16] The semiconductor device characterized by preparing the third conductive thin film between the first insulator layer of the above, and the first conductive thin film in claims 14 or 15.

[Claim 17] The semiconductor device characterized by the second conductive thin film of flexural rigidity being higher than the first conductive thin film of the same configuration in a claim 9 or either of 16.

[Claim 18] The semiconductor device characterized by being one as which the material of the conductive thin film of the above first is chosen from a metal, metal silicide, and an interstitial compound in a claim 1 or either of 16.

[Claim 19] In a claim 1 or either of 16 the material of the conductive thin film of the above first Aluminum, An aluminium alloy, copper, a copper alloy, titanium, a titanium alloy, a tungsten, It is one chosen from a tungsten alloy and titanium night RAIDO. Or titanium, vanadium, chromium, manganese, iron, cobalt, Nickel, a tantalum, a tungsten, a zirconium, niobium, molybdenum, The semiconductor device characterized by being the metal silicide which consists of one chosen from palladium, a rhodium, iridium, platinum, a hafnium, a terbium, an erbium, and an yttrium, and silicon.

[Claim 20] The semiconductor device characterized by being one as which the material of the conductive thin film of the above second is chosen from a metal, metal silicide, and an interstitial compound in a claim 1 or either of 16.

[Claim 21] In a claim 1 or either of 16 the material of the conductive thin film of the above second Aluminum, An aluminium alloy, copper, a copper alloy, titanium, a titanium alloy, a tungsten, By one chosen from a tungsten alloy and titanium night RAIDO, ** RI, Or titanium, vanadium, chromium, manganese, iron, cobalt, Nickel, a tantalum, a tungsten, a zirconium, niobium, molybdenum, The semiconductor device characterized by being the metal silicide which consists of one chosen from palladium, a rhodium, iridium, platinum, a hafnium, a terbium, an erbium, and an yttrium, and silicon.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a semiconductor device and relates to the semiconductor device which has the conductive thin film especially formed in the semiconductor substrate front face through the insulator layer.

[0002]

[Description of the Prior Art] While high integration of the electronic device formed in a semiconductor device is advanced quickly in recent years, depending on product needs, there are a mass capacitor and an electronic device which has turned on a large scale like the wiring for high currents.

[0003] For example, in the case of the capacitor, corresponding to improvement in the speed of communication of information, such as optical communication, or high-frequency-izing of the transfer information aiming at densification, large capacity-ization of the capacitor formed in the interior of a noise filter is advanced. The frequency in which the noise rejection of a filter is possible is determined by the capacity of the capacitor in a filter, and the noise separation of it is attained to a high-frequency band, so that capacitor capacity is large. Still extensive, although development of the mass capacitor using high dielectric constant matter, such as a tantalum, is furthered

[0004] Moreover, also in the wiring for high current loads, in order to lower the resistance of the conductive thin film used for wiring, making wiring width of face large, i.e., large-area-izing of the conductive thin film for wiring, is advanced.

[0005] However, if large area-ization of conductive thin films, such as wiring and an electrode for capacitors, is performed, while a design specification can be satisfied, the fault of becoming easy to generate a hillock on a conductive thin film arises. A hillock is a minute salient locally generated on a conductive thin film front face, and it becomes various poor causes, such as poor exposure [in / destruction of a wrap insulator layer and ablation, and a next process / for a short circuit with vertical wiring or contiguity wiring, an open circuit of up wiring, and a conductive thin film].

[0006] Therefore, for example, the slit was prepared in the large area conductivity thin film, and the technology of dividing the size of the cross direction of a thin film below into the width of face which a hillock does not generate has been used as a hillock generating prevention means as indicated in JP,57-45259,A, the 61-252647 official report, the 63-84137 official report, the 5-218034 official report, etc.

[0007] Moreover, the technology of suppressing compulsorily deformation (hillock generating) of this conductive thin film has also been used like JP,3-82128,A and a 4-85823 official report by depositing the high rigidity thin film to formation of a high rigidity layer on a conductive thin film front face, or the conductive thin film upper part before hillock generating.

[0008]

[Problem(s) to be Solved by the Invention] However, in order to prevent hillock generating in latus wiring of width of face, or the electrode for mass capacitors, the conductive thin film of the large area used for these uses was divided, and it became clear that it is inadequate just to restrict only the crosswise size. <> Explain the result which examined hereafter the hillock occurrences in the aluminium alloy (it omits composition aluminum-1wt.%Si and Following aluminum) film of the rectangle formed through the silicon-oxide film on the silicon substrate.

[0009] Manufacture of a sample was performed in following order. First, the silicon-substrate front

face was oxidized thermally and the silicon-oxide film of 1.6 micrometers of thickness was formed. Next, aluminum film was deposited on the silicon-oxide film front face 0.5 micrometers of thickness by the sputtering method, and patterning of aluminum film was performed. A shorter side is 5 micrometers or less, and, as for aluminum film pattern, the large area pattern 100 micrometers or more and the shorter side formed [the long side] the long and slender pattern which is about 2000 micrometers. A silicon-oxide film in the chemical vapor deposition (it is henceforth called a plasma CVD method) using plasma 0.2 micrometers (substrate temperature of 350 degrees C) of then, thickness, The silicon-oxide film SOG for carrying out flattening of the electronic-circuitry top (Spin on Glass) 0.2 micrometers (baking temperature of 440 degrees C) of thickness, 0.6 micrometer (substrate temperature of 350 degrees C) deposition of the silicon-oxide film of thickness was similarly carried out by the plasma CVD method (this insulator layer of three layers is henceforth called a layer insulation film collectively). Finally, it heat-treated for stabilizing aluminum film and a layer insulation film (substrate temperature of 450 degrees C).

[0010] In this way, the size dependency of the hillock occurrences in aluminum film of the obtained sample is shown in drawing 4. The shorter side size of a rectangle aluminum film and the vertical axis of a horizontal axis are aspect ratios (a long side size / shorter side proportion) among drawing.

Aspect ratio = it expresses that a rectangle configuration is a square in the case of 1, and they are long rectangle configurations, such as wiring, so that an aspect ratio is large. It expresses that it is aluminum film with which, as for -, generating of a hillock was accepted [that marker O in drawing is the rectangle aluminum film with which generating of a hillock was not accepted, and]. - A subscript is the hillock occurrences (this numeric value is henceforth called hillock generating density.)

converted into per two an area of 1mm. a unit is set to an individual / mm² it is .

[0011] shorter side size >10micrometer and the aspect side ratio which are mainly used as an electrode for capacitors — in the case of aluminum film (shown as a capacitor type all over drawing) of <=3 Although a hillock was not accepted in 90 micrometers (for example, shorter side size = long side size = about 75 micrometers, rectangle area = about 5600 micrometers²) of shorter side size < abbreviation When it becomes 90 micrometers (for example, shorter side size = long side size = about 90 micrometers, rectangle area = about 8100 micrometers²) of shorter side size >= abbreviation, it turns out that it is easy to generate a hillock rapidly.

[0012] Also in the case of the narrow aluminum film not more than shorter side size <=10micrometer (shown as a wiring type all over drawing) mainly used as wiring At the time of aspect ratio <=80 (for example, 6 micrometers of shorter side size = abbreviation, and 480 micrometers of long side size = abbreviation) Rectangle area = a hillock was not accepted in 2 but about 2900 micrometers of hillocks were accepted in it in aluminum film (for example, shorter side size = about 6 micrometers, long side size = about 2000 micrometers, rectangle area = about 12000 micrometers²) of aspect ratio >80. Since a hillock was not accepted in what has a long side size as long than capacitor type aluminum film as about 480 micrometers, it turns out that hillock generating is not dependent on a long side size.

[0013] moreover, the case of aluminum film located in the middle of both types — shorter side size = — about 60 micrometers and aspect ratio = — in about 33 (long side size = about 2000 micrometers, rectangle area = about 12000 micrometers²), a hillock accepts nine generating density [/mm]² — having — shorter side size = with a still larger rectangle area — about 40 micrometers and aspect ratio = — the hillock was not accepted in about 12 (long side size = about 460 micrometers, rectangle area = about 18400 micrometers²) This shows that hillock generating is not dependent on rectangle area.

[0014] It became clear that the minimum long side size (this shorter side size and a long side size are hereafter called a hillock generating critical size) which becomes easy to generate the above thing to a hillock, so that an aspect ratio is so large that the shorter side size of aluminum film is long with the same shorter side size, and a hillock generates corresponding to each aluminum film shorter side size exists. A dark-grey-color curve shows the hillock generating critical size which serves as the boundary line in a gray field in the size field which a hillock generates all over drawing.

[0015] Therefore, it is difficult to prevent hillock generating in a rectangle conductivity thin film only with well-known technology, and it turns out that it is necessary it not only to divide aluminum film about the direction of a shorter side (width of face), but to divide about the direction of a long side according to a shorter side size. <> On the other hand, thin film-ization of the layer insulation film

with which between multilayer interconnections is insulated is quickly advanced as one of the cures for high integration of a semiconductor device, shortening of the time necessary for completion, and manufacturing-cost reduction, and a hillock is in the inclination which becomes easy to generate also by this in recent years.

[0016] It is based on the reason thin film-ization is connected to high integration, below. Electrical installation of up wiring and lower wiring is performed by fill uping with a conductive material the contact hole prepared in a layer insulation film by etching etc. At the contact hole formation process by this etching etc., since some will ***** not only to etching of the direction of insulating thickness but to field inboard, finally a contact hole wall surface does not become perpendicular, but an up wiring side will be large, and a taper will be attached so that a lower wiring side may become narrow. Therefore, in order to secure the contact hole area (area which appears when a contact hole is cut with the flat surface in a film surface) which has required flow resistance in a lower wiring side, it is necessary to make beforehand the contact hole size by the side of up wiring into a part to attach a taper and for contact hole area to contract, and a large size.

[0017] Therefore, since-izing of the contact hole area by the side of up wiring can be carried out [small area] so that thickness of a layer insulation film is made thin within limits at which insulation is maintained, it becomes possible to advance high integration. <> It becomes difficult to fill the interior of a contact hole with the conductive matter without a crevice again, so that area of a contact hole is small and the depth is deep. So, it becomes the structure which defective continuity cannot produce easily, so that thickness of a layer insulation film is made thin. Furthermore, by implementation of the formation of a layer insulation film thin film, since shortening of a film assembly time or curtailment of the cost of materials is attained, it leads to shortening of the time necessary for completion, and reduction of a manufacturing cost.

[0018] However, on the other hand, thin film-ization of a layer insulation film will reduce the flexural rigidity of a layer insulation film, and will be carried out that it is easy to produce deformation of conductive thin films, such as hillock generating. <> In order to change to the situation which was described above and which a hillock tends to generate so that large area-ization of a conductive thin film progresses into a semiconductor device and high integration is progressed like, in recent years, the need of lecturing on still more effective hillock generating preventive measures has arisen.

[0019] The purpose of this invention corresponds to the needs of large-sized-izing of the electronic device on a semiconductor device, and thin-film-izing of a layer insulation film, and is in the semiconductor device which has the large area conductivity thin film of all configurations to offer a laminated structure which a hillock does not generate.

[0020]

[Means for Solving the Problem] In order not to generate a hillock in the semiconductor device which fills thin-film-izing of the product needs with which the above disagrees, i.e., a layer insulation film, and large area-ization of a conductive thin film, it is necessary to divide the conductive thin film of a large area so that it may become below the hillock generating critical size shown by drawing 4 . Furthermore, it is necessary to give the same function as one large area conductivity thin film by connecting the divided conductive thin film electrically. <> In the conductive thin film large-area-ized in order to fulfill a design specification, in order to offer the semiconductor device which a hillock does not generate, this invention is equipped with the following features.

[0021] The semiconductor device of this invention has the conductive thin film formed in the semiconductor substrate front face through the first insulator layer, and is related in both two direction in which it differs within the same field as a conductive (1) (a) this thin film. The first conductive thin film which divided this conductive thin film into at least two at a time, (b) — this — it adjoins so that it may be prepared in the same field as the first conductive thin film and all the first conductive thin film may be connected electrically — this — having two or more second conductive thin films which connect the first conductive thin film electrically — Or it is related in both two direction in which it differs within the same field as a conductive (2) (a) this thin film. The first conductive thin film which it divided into at least two at a time for every intervals [thin film / conductive / this], (b) — this — it adjoins so that it may be prepared in the same field as the first conductive thin film and all the first conductive thin film may be connected electrically — this — having two or more second conductive thin films which connect the first conductive thin film electrically — (3) It is related in the second direction which divides into at least two for every

intervals [thin film / conductive / this], and is different from this first direction within the same field as this conductive thin film about the first direction of / within the same field as conductive (a) this thin film /. The first conductive thin film which divided this conductive thin film into at least two for every interval, such as differing from the interval divided in this first direction (b) — this — it adjoins so that it may be prepared in the same field as the first conductive thin film and all the first conductive thin film may be connected electrically — this — it is characterized by having two or more second conductive thin films which connect the first conductive thin film electrically In this invention, it is also effective to prepare the third conductive thin film between the aforementioned insulator layer and the first conductive thin film. Moreover, not connecting with any elements other than the conductive thin film of the above first electrically also has the effective conductive thin film of the above second.

[0022] Moreover, the conductive thin film by which another semiconductor device of this invention was formed in the semiconductor substrate front face through the first insulator layer, Have the second insulator layer which covers this conductive thin film, and it is related in both two direction in which it differs within the same field as a conductive (4) (a) this thin film. The first conductive thin film which divided this conductive thin film into at least two at a time, It is characterized by having two or more second conductive thin films which connect the first conductive thin film electrically via the second insulator layer front face. (b) — all — this — it adjoins so that the first conductive thin film may be connected electrically — this — and — this — the second conductive thin film — this — not connecting with any elements other than the first conductive thin film electrically — (5) It is related in both two direction in which it differs within the same field as conductive (a) this thin film. The first conductive thin film which it divided into at least two at a time for every intervals [thin film / conductive / this], It is characterized by having two or more second conductive thin films which connect the first conductive thin film electrically via the second insulator layer front face. (b) — all — this — it adjoins so that the first conductive thin film may be connected electrically — this — and — this — the second conductive thin film — this — not connecting with any elements other than the first conductive thin film electrically — (6) It is related in the second direction which divides into at least two for every intervals [thin film / conductive / this], and is different from this first direction within the same field as this conductive thin film about the first direction of / within the same field as conductive (a) this thin film /. The first conductive thin film which divided this conductive thin film into at least two for every interval, such as differing from the interval divided in this first direction It is characterized by having two or more second conductive thin films which connect the first conductive thin film electrically via the second insulator layer front face. (b) — all — this — it adjoins so that the first conductive thin film may be connected electrically — this — and — this — the second conductive thin film — this — it is characterized by not connecting with any elements other than the first conductive thin film electrically

[0023] Moreover, still more nearly another semiconductor device of this invention has the conductive thin film formed in the semiconductor substrate front face through the insulator layer, and is related in both two direction in which it differs within the same field as a conductive (7) (a) this thin film. The first conductive thin film which divided this conductive thin film into at least two at a time, (b) — this — all the fields that deposited the first conductive thin film — and — this — having the second conductive thin film formed on all the fields between the first conductive thin film — (8) It is related in both two direction in which it differs within the same field as conductive (a) this thin film. The first conductive thin film which it divided into at least two at a time for every intervals [thin film / conductive / this], (b) — this — all the fields that deposited the first conductive thin film — and — this — having the second conductive thin film formed on all the fields between the first conductive thin film — (9) It is related in the second direction which divides into at least two for every intervals [thin film / conductive / this], and is different from this first direction within the same field as this conductive thin film about the first direction of / within the same field as conductive (a) this thin film /. It is characterized by having the second conductive thin film formed on all the fields that deposited the first conductive thin film which divided this conductive thin film into at least two for every interval, such as differing from the interval divided in this first direction, and the conductive thin film of (b) this first, and all the fields between the conductive thin films of this first. In this invention, it is also effective to prepare the third conductive thin film between the (c) aforementioned insulator layer and the conductive thin film of this first. moreover, (d) — this — between the first

conductive thin film — this — a rib which touches the front face of the second conductive thin film — having — and — this — it is also effective to have the second insulator layer of a wrap for the second conductive thin film furthermore — this — the second conductive thin film — the same configuration — this — it is effective that flexural rigidity is also higher than the first conductive thin film

[0024] Moreover, the conductive thin film by which still more nearly another semiconductor device of this invention was formed in the semiconductor substrate front face through the first insulator layer, The first conductive thin film in which it has the second insulator layer which covers this conductive thin film, and a portion with thin (10) and (a) thickness and a portion with two or more thick thickness exist, (b) It has the second insulator layer with a rib with which the thickness of the conductive thin film of this first touches the front face of a thin portion, (11) The first conductive thin film in which a portion with thin (a) thickness and a portion with two or more thick thickness exist, (b) — this — the second conductive thin film formed on the field which deposited the first conductive thin film, and (c) — this — the thickness of the first conductive thin film was formed in the front face of a thin portion — this — it is characterized by having the second insulator layer with a rib which touches the second conductive thin film In this invention, it is also effective to prepare the third conductive thin film between the (d) this first insulator layer, and the conductive thin film of this first, moreover — this — the second conductive thin film — the same configuration — this — it is effective that flexural rigidity is also higher than the first conductive thin film

[0025] In the material of the conductive thin film of the above first, or the material of the second conductive thin film It is desirable that they are a metal, metal silicide, or an interstitial compound. further Aluminum, an aluminium alloy, copper, a copper alloy, titanium, a titanium alloy, One chosen from metals, such as a tungsten and a tungsten alloy Or titanium, vanadium, chromium, manganese, iron, cobalt, Nickel, a tantalum, a tungsten, a zirconium, niobium, molybdenum, It is desirable that it is one chosen from interstitial compounds, such as palladium, a rhodium, iridium, platinum, a hafnium, a terbium, an erbium, metal silicide that consists of one chosen from yttriums and silicon, or titanium nitride RAIDO.

[0026]

[Function] According to this invention, it becomes possible to obtain the semiconductor device which has the conductive thin film which has area which fulfills all design specifications, and a hillock does not generate. <> The defect who originated in various hillocks, such as a short circuit during the wiring generated at the time of semiconductor device manufacture, an open circuit of wiring, destruction of an insulator layer, and ablation, by this can be prevented, and it becomes possible to have high product reliability and to manufacture the semiconductor device of the high yield.

[0027]

[Example] The example of this invention is explained with reference to a drawing below. <> Explain the 1st example about the semiconductor device based on this invention using drawing 1 - drawing 5 .

[0028] The electrode 6 for mass capacitors in the noise filter 2 corresponding to high-frequency communication of optical communication etc. formed in semiconductor device 1 front face based on the example of this invention is shown in drawing 1 . Upper drawing is drawing which looked at the electrode 6 for mass capacitors from the semiconductor device front-face, i.e., semiconductor device forming face, side, and is a plan from which the film deposited on the electrode 6 for capacitors was removed.

[0029] Lower drawing is an A-A' cross section before removing the film deposited on the electrode 6 for capacitors of upper drawing. the electrode 6 for mass capacitors — for example, design-specification top 300micrometerx — when the area of 300 micrometers is required and the electrode 6 for capacitors is made into the conductive thin film of the one-side shape of a 300-micrometer square, it turns out that possibility that a hillock will occur from drawing 4 is very high Therefore, two or more conductive thin film 6a by which the electrode 6 for mass capacitors was arranged in a grid pattern through the insulator layer 8 in this example on the semiconductor substrate 7, In order to connect each conductive thin film 6a electrically, hillock generating is prevented by constituting from conductive thin film 6a, flow section 6b formed in the coplanar, a layer insulation film 9, and a protection insulator layer 10 which protects the whole circuit.

[0030] Although the wiring layer of the two-layer eye formed between the layer insulation film 9 and

the protection insulator layer 10 is not shown all over drawing, the wiring layer of a two-layer eye is formed in the field in which elements other than the mass capacitor in a semiconductor device 1 formed, for the purposes, such as wiring to a transistor. As the electrode 6 whole for mass capacitors, wiring 5a connects with other electronic circuitries in a noise filter 2 electrically.

[0031] In drawing 1, two or more flow section 6b is shifted and arranged so that it may not become more than a hillock generating critical size about rectangle size $x2$ which made the rectangle sizes $x1$ and $y1$ of conductive thin film 6a below the hillock generating critical size, and combined conductive thin film 6a and flow section 6b, and $y2$. It can consider as the structure where it has the capacity (area) with which the electrode 6 for mass capacitors fills a design specification, and hillock generating can be prevented by this (about the determination method of a hillock generating critical size, it mentions later).

[0032] The case where the semiconductor substrate 7 is a silicon substrate about the manufacture method of this semiconductor device 1 is taken for an example, and drawing 2 explains using the cross section of the mass capacitor 2. <> Form in semiconductor substrate 7 front face of silicon first the insulator layer 8 formed by the silicon oxide 1.6 micrometers of thickness by performing thermal oxidation etc. (process 100). Next, the conductive thin film 60 formed with aluminum on the insulator layer 8 is deposited 0.5 micrometers of thickness by the sputtering method etc. (process 101).

[0033] By carrying out patterning of the conductive thin film 60 by dry etching etc., conductive thin film 6a and flow section 6b used as the electrode 6 for mass capacitors are formed (process 102). The layer insulation film 9 of a three-tiered structure explained by the term of a "The means for solving a technical problem" is formed 1.0 micrometers of thickness. In the field in which elements other than electrode 6 for mass capacitors were formed, it is necessary to connect between each element electrically. Therefore, the contact hole (not shown) for carrying out electrical installation of the wiring of the 1st layer or the circuit which carried out patterning of the conductive thin film 60, and obtained it, and the two-layer watch line formed at a next process is formed outside the field of drawing 2 by *****ing the layer insulation film 9.

[0034] The 2nd wiring layer (not shown) is obtained outside the field of drawing 2 by depositing and carrying out patterning of the conductive thin films, such as aluminum, by the sputtering method etc. on the layer insulation film 9. In order to protect a circuit from moisture etc. finally, the protection insulator layer 10 formed by the silicon oxide is deposited 1.0 micrometers of thickness by the plasma CVD method etc. A semiconductor device 1 is obtained through the above manufacturing process.

[0035] The thin film formation method used for manufacture of a semiconductor device 1, the formation method of each electronic device, etc. are not limited to the method indicated above, and do not interfere by other methods. Moreover, especially various numeric values, the quality of the materials, etc., such as thickness, are not limited. It does not interfere, even if it makes thin only thickness of the insulator layer 8 formed between an electrode 6 and a silicon substrate 7 with 0.1 micrometers, in order to make the capacity of the electrode 6 for mass capacitors increase.

[0036] Conductive thin film 6a, each flow section 6b, and wiring 5a It is desirable to be formed with the semiconductor which poured in the metal, metal silicide with conductivity and an interstitial compound, or the impurity. for example, further Aluminum, an aluminium alloy, copper, a copper alloy, titanium, a titanium alloy, Metals, such as a tungsten and a tungsten alloy, or titanium, vanadium, Chromium, manganese, iron, cobalt, nickel, a tantalum, a tungsten, A zirconium, niobium, molybdenum, palladium, a rhodium, iridium, It is desirable to be formed by interstitial compounds, such as platinum, a hafnium, a terbium, an erbium, metal silicide that consists of one chosen from yttriums and silicon, or titanium night RAIDO. An interstitial compound points out the thing of the compound of transition metals, and hydrogen, boron, carbon, nitrogen and oxygen. An interstitial compound shows the feature of an alloy, and since electrical conductivity is good, it is suitable for the part which gives the conductivity of this invention.

[0037] Moreover, even if it forms conductive thin film 6a, each flow section 6b, and wiring 5a with material which is different even if it forms each with the same material, they are not cared about. Moreover, even if it forms at the same process, and it forms at a separate process, it does not interfere.

[0038] Although this example is about the case where two-layer formation of the wiring etc. is carried out, it may be a monolayer, and even if [than two-layer] more, it does not interfere. Although the

wiring layer etc. is not formed between the layer insulation film 9 in the A-A' cross section of drawing 1 , and the protection insulator layer 10, you may form a wiring layer etc. on the electrode 6 for mass capacitors. <> Although conductive thin film 6a was arranged in a grid pattern in this example, you may use other array methods of having used the space on a semiconductor base effectively again.

[0039] In this example, it is also effective to form the barrier layer for connecting the outcrop of a silicon substrate 7 and other wiring between an insulator layer 8 and conductive thin film 6a. It is desirable to use interstitial compounds, such as an alloy containing metals, such as a tungsten, titanium, and cobalt, or them or titanium nitride (TiN), or a silicide compound as a material of this barrier layer. When depositing a barrier layer, it is necessary to establish a barrier layer deposition process before a process 101. <> Next, explain how to determine a hillock generating critical size.

[0040] Although the ease of generating of a hillock is dependent on the shorter side size of conductive thin film 6a, and a long side size as explained using drawing 4 , it is dependent also on membrane qualities, such as a diameter of crystal grain of conductive thin film 6a, crystal orientation, density, and internal stress, in addition to it. Membrane quality changes with various manufacture conditions, such as deposition conditions of thin film 6a, internal stress of other thin films deposited on the circumference of thin film 6a, a laminated structure of the circumference of thin film 6a, and the method of heat treatment after depositing thin film 6a. Therefore, it is desirable to determine a hillock generating critical size using an experimental means, i.e., an actual manufacturing process. Hereafter, the case where a semiconductor device 1 is manufactured for the detail of the determination method in accordance with the process of drawing 2 using drawing 3 and drawing 4 is taken and explained to an example.

[0041] First, along with drawing 2 (process 101 (process 100)), formation of the insulator layer 8 of a silicon oxide on semiconductor substrate 7 front face of silicon and the conductive thin film 6a of aluminum are deposited. Formation of these films and deposition are performed on the same conditions as the process explained by drawing 2 .

[0042] Next, the rectangle test pattern 16 for determining hillock generating criticality length is formed in the conductive thin film 6a. It chooses focusing on the processing size often used in a design specification as each shorter side size of a test pattern 16. For example, in a design specification, the minimum processing shorter side size is [4 micrometers and the maximum processing shorter side size] 500 micrometers. When the sizes often used in a design specification are 4, 6, and 20 or 30 micrometers, as each shorter side size of a test pattern 16 It chooses from 4 micrometers (the minimum processing size), 6, 20 or 30 micrometers (the maximum *****, 500, 250, 167, 125 and 100, ..., 50 etc. micrometers (the maximum processing shorter side size / kmum, k= 1, 2, ..., 10), etc.

[0043] When the maximum processing long side size is 2000 micrometers, the size of a long side chooses aspect ratio r of each test pattern 16 in some numbers in the range which does not exceed 2000 micrometers. the case of shorter side =4micrometer -- r = -- 500, 250, 167, 125, 100 (=2000/4/k, k= 1, 2, ..., 5), etc. in the case of shorter side =50micrometer In the case of shorter side =500micrometer, r = 40, 20, 10, 5 (=2000/50/k, k= 1, 2, ..., 5), etc. are chosen for r = 4, 3, 2, 1 (=2000/500/k, k= 1, 2, 3, 4), etc. These test patterns 16 are formed by *****ing the conductive thin film 6a.

[0044] drawing 3 -- test pattern 16a (shorter side =4micrometer and long side =2000micrometer), shorter side =4micrometer, and long side = -- it is the example in which test pattern 16d (test pattern 16c (1000-micrometer test pattern 16b, shorter side =20micrometer, and long side =2000micrometer), shorter side =20micrometer, and long side =1000micrometer) was formed on the insulator layer 8 <> Deposit the layer insulation film 9 and the protection insulator layer 10 on the same conditions as the time of semiconductor device 1 manufacture by the plasma CVD method etc.

[0045] The existence of hillock generating on each test pattern is checked after [all] a process using a microscope etc. The test pattern size dependency of hillock generating density based on this result is shown in drawing 4 . A horizontal axis is [a test pattern shorter side size and a vertical axis] test pattern aspect ratio r among drawing. It expresses that it is the test pattern in which, as for --, hillock generating was accepted [that marker O is the test pattern in which hillock generating was not accepted, and].

[0046] When the shorter side size of a test pattern serves as a critical value of about 90 micrometers or more from this drawing, it turns out that a hillock occurs in the test pattern of all aspect ratios.

Moreover, even if it is the test pattern of about 90 micrometers or less of critical values with a shorter side size, when it becomes more than a certain critical aspect ratio, it turns out that a hillock occurs. Shorter side = although a hillock was not accepted at the about 80 time of aspect ratio \leq in the case of 6 micrometers, the hillock was accepted at the about 80 time of aspect ratio $>$. This result shows existing, the hillock generating criticality aspect ratio corresponding to a shorter side size, i.e., the hillock generating critical size, of all test patterns. Gray shows the rectangle size field which a hillock generates.

[0047] For example, a shorter side size = long side size = since the hillock occurred in drawing 4 in the case of aspect ratio $=1$ when a shorter side size was set to about 90 micrometers or more, when a 300-micrometer mass capacitor was manufactured [it is determined that the shorter side size s of divided conductive thin film 6a for capacitors will take the minimum integral value with which k fills $< (300/k\mu\text{m})$ 90 micrometers. In this case, it becomes $k=4$, i.e., s = about 75 micrometers.

[0048] In drawing 1, 15 flow section 6b is used and this portion is also contained in capacitor area in fact. Set the shorter side of flow section 6b to ds , set a long side to dl , and the increase surface integral of the electrode 6 for capacitors by flow section 6b is also taken into consideration.

Rectangle size $x2=dl$ which filled $16s2+15 ds=dl=3002$ and combined conductive thin film 6a and flow section 6b, s , ds , and dl are determined that $y2=2$ second+ ds will not become more than a hillock generating critical size (for example, $s=74.5$ micrometers, $ds=4$ micrometer, $dl=20$ micrometer).

[0049] Moreover, 0.1 micrometers and when the thickness of the insulator layer 8 formed between the electrode 6 for mass capacitors and a silicon substrate 7 is thin, it will also form the insulator layer 8 of 0.1 micrometers of thickness, will form the same test pattern also as the field, and will determine a hillock generating critical size. What is necessary is for the determination method of the size of each film not to change, when thickness is made thin, but just to perform it, as explained in the top.

[0050] Thus, by forming a mass capacitor combining conductive thin film 6a for capacitors of a size and flow section 6b which were determined, it becomes possible to obtain the capacitor of the area with which are satisfied of a design specification.

[0051] Drawing 5 is drawing which looked at the semiconductor device 1 corresponding to the high-frequency communication based on the example of this invention from the side in which the semiconductor device was formed. The noise filter circuit 2 dealing with the high-frequency communication which has the electrode 6 for mass capacitors explained by drawing 1, an arithmetic circuit 3, a store circuit 4, broad wiring 5, and broad wiring 5 are consisted of by this semiconductor device 1 interior with narrow wiring etc. The electrode 6 for mass capacitors is formed in this semiconductor device 1 at the semiconductor substrate side of the layer insulation film 9, and the layer insulation film 9 is attaining thin film-ization as a way stage which advances high integration of an arithmetic circuit 3 or store circuit 4 grade. Therefore, they have been the conditions which a hillock tends to generate in the conductive thin film which needs a large area like the electrode 6 for the mass capacitors in the noise filter circuit 2, or broad wiring 5 grade. If this invention is used for such a semiconductor device, it is possible to prevent hillock generating very effectively.

[0052] The 2nd example which applied the semiconductor device based on this invention to wiring is explained using drawing 6. Upper drawing is drawing which looked at wiring 17 from the semiconductor device front-face, i.e., semiconductor device forming face, side, and is a plan from which the film deposited after wiring 17 was removed. Lower drawing is a B-B' cross section before removing the film deposited on the wiring 17 of upper drawing.

[0053] When the load of the high current is carried out to wiring, in order to lower resistance, wiring width of face is designed widely. However, as drawing 4 showed, a hillock may occur depending on the width of face and length of wiring. For example, in drawing 4, a conductive thin film (aspect ratio $=40$) with a size of 50x2000 micrometers is a rectangle pattern in a hillock generating size field, and it turns out that the rectangle pattern of this size cannot be formed.

[0054] The case where the wiring which is 50x2000 micrometers when the mass capacitor, laminated structure, and the manufacture method of drawing 1 are completely the same is designed is explained. Also in this case, the rectangle pattern which a hillock does not generate is determined using drawing 4. Since the width of face of the rectangle pattern which fulfills a design specification is 50 micrometers, after dividing, the sum total width of face of the rectangle pattern with which current flows substantially must also be 50 micrometers or more. For example, if a shorter side size is set to

17 micrometers ($=50\text{micrometer}/3$), since the aspect ratio which a hillock does not generate is about 20 or less, it must set a long side size to 340 micrometers or less.

[0055] The circuit pattern 17 of drawing 6 is used as the pattern which arranged four trains at intervals of 4 micrometers by having made into the single tier what put conductive thin film 17a (shorter side size $=17\text{micrometer}$ and long side size $\leq 300\text{micrometer}$) in order at intervals of 4 micrometers in the direction of a seven-piece long side, and each train shifted in a next train and the next direction of a long side 76 micrometer (conductive thin film interval of 4 micrometers of the direction of a long side size [of 300 micrometers] + long side) $(1/4)$ Since wiring is long side size $\leq 300\text{micrometer}$, four trains have not always flowed through it covering 2000 micrometer overall length of wire lengths, and it has always become the pattern through which three or more trains flowed in the direction of a long side among 4 trains. Therefore, if there are no 4 *****, wiring width of face of 50 micrometers is not securable.

[0056] Flow section 17b for connecting with the next train electrically is formed in conductive thin film 17a and a coplanar as shown in the cross section of drawing 6, shifts in the direction of a long side, and is arranged. The size of flow section 17b is set to 4×17 micrometers in order to have to secure width of face of 17 micrometers or more of a conductive thin film at least for a flow with the next train. According to the circuit pattern of these four trains, wiring of the size of 50×2000 micrometers which a hillock does not generate is formed.

[0057] Thus, it becomes possible to obtain the wiring which fulfills a design specification by combining two or more conductive thin film 17a and flow section 17b which the hillock in drawing 4 cannot generate easily also about later wiring of width of face. $\langle \rangle$ It is also effective to form the barrier layer for connecting wiring with the outcrop of a silicon substrate 7 between an insulator layer 8 and conductive thin film 17a again. It is desirable to use interstitial compounds, such as an alloy containing metals, such as a tungsten, titanium, and cobalt, or them or titanium nitride RAIDO, or a silicide compound as a material of this barrier layer.

[0058] What is necessary is just to use what was mentioned as a material which was suitable for conductive thin film 6a and flow section 6b in the example 5 as the quality of the material of conductive thin film 17a or flow section 17b. What is necessary is just to use for manufacture of this wiring 17 the same manufacture method as what was explained by drawing 2. When depositing a barrier layer, it is necessary to establish a barrier layer deposition process before a process 101.

[0059] The 3rd example about the semiconductor device based on this invention is explained using drawing 7 - drawing 9.

[0060] Drawing 7 is drawing which looked at the electrode 6 for the mass capacitors in the high-frequency correspondence noise filter 2 of the 3rd semiconductor device 1 from the semiconductor device forming face side, and is the plan from which the film deposited on the electrode 6 for capacitors was removed. Drawing 8 is the C-C' cross section and D-D' cross section before removing the film deposited on the electrode 6 for capacitors shown in drawing 7. 16 conductivity thin film 6a by which the electrode 6 for mass capacitors was arranged in a grid pattern through the insulator layer 8 on the semiconductor substrate 7. It consists of protection insulator layers 10 which protect 24 flow section 6c, the whole layer insulation film 9, and whole circuit for connecting each conductive thin film 6a electrically, and wiring 5a connects with other circuit element in a noise filter circuit electrically as the electrode 6 whole for mass capacitors.

[0061] Unlike an example 1, the feature is in this example not to form each conductive thin film 6a and each flow section 6c in a coplanar. Although flow section 6c looks in a C-C' cross section like the two-layer wiring which connects with other circuits electrically, it is clear flow section 6c's to connect only with conductive thin film 6a, and a D-D' cross section shows that flow section 6c is functioning as a part of electrode 6 for mass capacitors which combined two or more conductive thin film 6a and flow section 6c.

[0062] Since each conductive thin film 6a and each flow section 6b were formed in the coplanar in the 1st example, although the rectangle size which combined conductive thin film 6a and flow section 6b needed to be made below into the hillock generating critical size By making only a conductive thin film 6a independent size below into a hillock generating critical size in this example, it is possible to make it the structure where it has the capacity (area) with which the electrode 6 for mass capacitors fills a design specification, and hillock generating can be prevented. What is necessary is just to use for sizing of each conductive thin film 6a the determination method of a hillock generating critical size

explained in the 1st example.

[0063] The case where a semiconductor substrate is a silicon substrate about the manufacture method of this semiconductor device 1 is taken for an example, and drawing 9 explains using the C-C' cross section of the electrode 6 for mass capacitors. <> Form an insulator layer 8 1.6 micrometers of thickness first by performing semiconductor substrate 7 front face of silicon for thermal oxidation etc. Next, the conductive thin films 60, such as aluminum, are deposited 0.5 micrometers of thickness by the sputtering method etc. on an insulator layer 8. Resist pattern 20a for applying and carrying out patterning of the resist 20, and carrying out patterning of the conductive thin film 60 is formed on the conductive thin film 60. By performing dry etching etc., conductive thin film 6a by which patterning was carried out is formed (process 200).

[0064] Resist pattern 20a is removed and the layer insulation film 9 of a three-tiered structure explained by the term of a "The means for solving a technical problem" by the plasma CVD method etc. is formed 1.0 micrometers of thickness. In the contact hole formation process for carrying out electrical installation for the element formed by the conductive thin film of the 1st layer which carried out patterning of the conductive thin film 60, and obtained it, and the two-layer watch line formed at a next process, in order to form flow section 6c, patterning of the resist 20 is applied and carried out also to layer insulation film 9 front face on conductive thin film 6a, and resist pattern 20b is formed in it. A contact hole 21 is formed by *****ing the layer insulation film 9 (process 201).

[0065] Resist pattern 20b is removed and the conductive thin films 61, such as aluminum, are deposited by the sputtering method etc. on the layer insulation film 9 (process 202). In order to form a two-layer watch line and flow section 6c, resist application to the conductive thin film 61 and patterning are performed, and the 2nd wiring layer and flow section 6c are obtained by *****ing (process 203). In order to protect a circuit and wiring from moisture etc. finally, the protection insulator layer 10 which consists of a silicon oxide is deposited 1.0 micrometers of thickness by the plasma CVD method etc. (process 204). The semiconductor device 1 which contained the electrode 6 for mass capacitors which a hillock does not generate by the above manufacturing process is obtained.

[0066] The thin film formation method to the semiconductor substrate 7 top, the formation method of each electronic device, etc. are not limited to the method indicated above, and do not interfere by other methods. Moreover, various numeric values, especially the quality of the material, etc. are not limited.

[0067] Moreover, it is not what also restricts conductive thin film 6a and **** 6c to this quality of the material. The semiconductor which poured in other metals, metal silicide with conductivity and an interstitial compound, or the impurity is also effective. for example, further Aluminum, an aluminium alloy, copper, a copper alloy, titanium, a titanium alloy, Metals, such as a tungsten and a tungsten alloy, or titanium, vanadium, Chromium, manganese, iron, cobalt, nickel, a tantalum, a tungsten, A zirconium, niobium, molybdenum, palladium, a rhodium, iridium, It does not interfere, even if it is interstitial compounds, such as platinum, a hafnium, a terbium, an erbium, metal silicide that consists of one chosen from yttriums, and silicon, or titanium night RAIDO. Conductive thin film 6a and flow section 6c do not need to be the same quality of the materials, and may use a thin film with different conductivity.

[0068] Moreover, it is also effective to form the barrier layer for connecting the outcrop of a silicon substrate 7 and other wiring between an insulator layer 8 and conductive thin film 6a. It is desirable to use interstitial compounds, such as an alloy containing metals, such as a tungsten, titanium, and cobalt, or them or titanium night RAIDO, or a silicide compound as a material of this barrier layer. When depositing a barrier layer, it is necessary to establish a barrier layer deposition process before the conductive thin film 60 deposition process of the process 200 of drawing 9.

[0069] Although this example is about the case where two-layer formation of the wiring etc. is carried out, it does not interfere, even if it carries out, when it forms more than two-layer. Moreover, although conductive thin film 6a was arranged in a grid pattern, even if it uses other array methods of having used the space on a semiconductor substrate effectively, it does not interfere.

[0070] The 4th example at the time of applying the same method as the 3rd example to a circuit pattern is shown in drawing 10. Drawing of the drawing 10 top is drawing which looked at the circuit pattern 17 from the semiconductor device forming face side, and is a plan from which the film deposited on the circuit pattern 17 was removed. Flow section 17c arranged to the up side on an E-

E' line has removed the upper right half, in order to show that the flow portion is not formed in the bottom of flow section 17c. Lower drawing is an E-E' cross section before removing the film deposited on the circuit pattern 17.

[0071] The circuit pattern shown all over drawing forms the circuit pattern 17 equivalent to 50x2000-micrometer wiring like drawing 6. The conductive thin film size of aluminum used for wiring is the same size as conductive thin film 17a explained in the example 2. Since flow section 17c is not formed in the same flat surface as conductive thin film 17a, unlike the 2nd example, it can carry out the direct file of the direction of a long side of conductive thin film 17a. Therefore, the width of face of the circuit pattern 17 whole is 59 micrometers which totaled two 4-micrometer width of face between the width of face of 17a3 conductive thin films, and each conductive thin film 17a, and the feature is for the width of face of the circuit pattern 17 whole not to increase like the 2nd example (for the width of face of the whole wiring in the 2nd example to be 80 micrometers). Crosswise connection is for making it the potential difference not arise among ***** conductivity thin film 17a.

[0072] It becomes possible to form wiring of the size of 50x2000 micrometers which fulfills a design specification according to the circuit pattern of these three trains that combined two or more conductive thin film 17a and flow section 17c which a hillock cannot generate easily, and a hillock does not generate. What is necessary is just to use for manufacture of this wiring 17 the same manufacture method as what was explained by drawing 9.

[0073] Moreover, it is also effective to form the barrier layer for connecting wiring with the outcrop of a silicon substrate 7 between an insulator layer 8 and conductive thin film 17a. It is desirable to use interstitial compounds, such as an alloy containing metals, such as a tungsten, titanium, and cobalt, or them or titanium nitride RAIDO, or a silicide compound as a material of this barrier layer.

[0074] What is necessary is just to use what was mentioned as a material which was suitable for conductive thin film 6a and flow section 6c in the 3rd example as the quality of the material of conductive thin film 17a or flow section 17c. <> What is necessary is just to use for manufacture of this wiring 17 the same manufacture method as what was explained by drawing 9. When depositing a barrier layer, it is necessary to establish a barrier layer deposition process before the conductive thin film 6a deposition process of the process 200 of drawing 9. <> Explain the 5th example about the semiconductor device based on this invention using drawing 11 and drawing 12.

[0075] Drawing of the drawing 11 top is drawing which looked at the electrode 6 for the mass capacitors in the high-frequency correspondence noise filter 2 of another semiconductor device 1 based on this invention from the semiconductor device forming face side, and is a plan from which the film deposited on the electrode 6 for capacitors was removed. The field at the upper right of the curve 27 in drawing has removed 6d of flow films, in order to show conductive thin film 6a. Lower drawing is an F-F' cross section before removing the film deposited on the electrode 6 for capacitors of upper drawing.

[0076] The electrode 6 for mass capacitors consisted of 6d of flow films for connecting electrically two or more conductive thin film 6a arranged in a grid pattern through the insulator layer 8 on the semiconductor substrate 7, and each conductive thin film 6a, and the layer insulation film 9 and the protection insulator layer 10 which protects the whole circuit have deposited it on 6d of flow films. As the electrode 6 whole for mass capacitors, wiring 5a connects with other circuit element in the noise filter circuit 2 electrically.

[0077] Unlike the 1st example and the 3rd example, the feature is in this example to be the same area as the electrode 6 for mass capacitors, and for thickness have deposited 6d of thin flow films rather than conductive thin film 6a on conductive thin film 6a. Since the rib 26 of an insulator layer 9 is formed among each conductive thin film 6a while each conductive thin film 6a is electrically connected since there is conductivity in 6d of flow films, and becoming the capacitor of one big capacity, the rigidity over the bending deformation of an insulator layer 9 improves. This enables it to prevent compulsorily deformation of conductive thin film 6a like a hillock generating phenomenon.

[0078] Moreover, by using this invention, like the 1st example and the 3rd example, the space which was filled up with the insulator layer and which does not function as a capacitor is not generated, and the electrode 6 for mass capacitors can be most compactly formed in the inside of the electrode 6 for mass capacitors. In this example, it is possible by making the size of conductive thin film 6a below into a hillock generating critical size to make it the structure where it has the capacity with which the

electrode 6 for mass capacitors fills a design specification, and hillock generating can be prevented. What is necessary is just to use for sizing of each conductive thin film 6a the determination method of a hillock generating critical size explained in the 1st example.

[0079] In addition, when the quality of the material which cannot deform into 6d of flow films easily rather than conductive thin film 6a is used, there is an effect in the hillock suppression in conductive thin film 6a further. A hillock generating critical size can be determined by using the laminated structure which is the same material as 6d of flow films, and deposited the film of the same thickness on the test pattern explained by drawing 3 of the 1st example. The case where a semiconductor substrate is a silicon substrate about the manufacture method of the semiconductor device 1 concerning this invention is taken for an example, and drawing 12 explains using the F-F' cross section of the electrode 6 for mass capacitors.

[0080] First, the insulator layer 8 of a silicon oxide is formed for semiconductor substrate 7 front face of silicon 1.6 micrometers of thickness by thermal oxidation etc. Next, the conductive thin film 60 of aluminum is deposited 0.5 micrometers of thickness by the sputtering method etc. on an insulator layer 8. Conductive thin film 6a by which carried out patterning and patterning was carried out smaller than a hillock generating critical size is formed by *****ing the conductive thin film 60 (process 300). 6d of flow films of aluminum is formed by *****ing except the mass capacitor formation field which deposited another conductive thin film 62 of aluminum 0.1 micrometers of thickness, and formed conductive thin film 6a by the sputtering method etc. on conductive thin film 6a (process 301). The layer insulation film 9 of the aforementioned three-tiered structure is formed 1.0 micrometers of thickness by the plasma CVD method etc. (process 302). Since the layer insulation film 9 is embedded also in the crevice currently formed among each conductive thin film 6a, a rib 26 is formed in the layer insulation film 9.

[0081] If a rib 26 is seen from a circuit forming face side, as it has appeared in drawing of the drawing 11 top, it will be formed in the shape of a grid among each conductive thin film 6a. Therefore, the rigidity of the layer insulation film 9 over bending deformation improves, and it becomes possible to suppress compulsorily deformation of hillock generating produced on conductive thin film 6a and 6d of flow films.

[0082] After forming outside the field of illustration of the contact hole and two-layer watch line (it does not describe all over drawing) to the layer insulation film 9, the protection insulator layer 10 of the silicon oxide for protecting a circuit and wiring from moisture etc. is deposited 1.0 micrometers of thickness by the plasma CVD method etc. The semiconductor device 1 which contained the electrode 6 for mass capacitors which a hillock does not generate by the above manufacturing process is obtained. <> When the material of conductive thin film 6a and 6d of flow films is the same in addition, the semiconductor device 1 which contained the electrode 6 for mass capacitors also by the another manufacture method can be manufactured.

[0083] Next, the another manufacture method in case drawing 11 , and conductive thin film 6a of drawing 12 and 6d of flow films are the same aluminum is explained. In the etching process of the conductive thin film 60 of the process 300 of drawing 12 , the conductive thin film 60 is first *****ed except for the field which forms the capacitor electrode 6, and etching for next dividing the capacitor electrode 6 below into a hillock generating critical size is performed. In the process which divides this capacitor electrode 6, when not *****ing the conductive thin film 60 but remaining about 0.1 micrometers of thickness until an insulator layer 8 is exposed, etching is ended. Of this process, the conductive thin film with a portion with the thick thickness formed in a grid pattern and a portion with the thin thickness in which it is formed in the shape of a grid of a configuration which set conductive thin film 6a in which it is formed in a process 301, and 6d of flow films is formed.

[0084] When using this manufacture method, it must be cautious of management of the charge of etching material, management of etching time, etc. being performed strictly. <> In this example, it is also effective to form the barrier layer for connecting the outcrop of a silicon substrate 7 and other wiring between an insulator layer 8 and conductive thin film 6a. It is desirable to use interstitial compounds, such as an alloy containing metals, such as a tungsten, titanium, and cobalt, or them or titanium nitride RAIDO, or a silicide compound as a material of this barrier layer.

[0085] The thin film deposition method, the formation method of each circuit, etc. which are used into a manufacturing process are not limited to the method indicated above, and are not cared about by

other methods. Various numeric values, especially the quality of the material, etc. are not limited. Moreover, although the rib 26 was formed in the shape of a grid, what is necessary is just the configuration whose flexural rigidity of the layer insulation film 9 does not restrict to especially this configuration and improves.

[0086] It is not what is restricted to the quality of the material which also used conductive thin film 6a for explanation. Moreover, for example, other metals, The semiconductor which poured in metal silicide with conductivity, the interstitial compound, or the impurity is also effective. or further Aluminum, an aluminium alloy, copper, a copper alloy, titanium, a titanium alloy, Metals, such as a tungsten and a tungsten alloy, or titanium, vanadium, Chromium, manganese, iron, cobalt, nickel, a tantalum, a tungsten, A zirconium, niobium, molybdenum, palladium, a rhodium, iridium, It does not interfere, even if it is interstitial compounds, such as platinum, a hafnium, a terbium, an erbium, metal silicide that consists of one chosen from yttriums, and silicon, or titanium night RAIDO. As mentioned above, conductive thin film 6a for capacitors and 6d of flow films do not need to be the same quality of the materials, and if the thin film of the material which cannot transform the quality of the material of 6d of flow films easily rather than conductive thin film 6a is used, it is possible to prevent deformation of conductive thin film 6a, such as hillock generating, more effectively.

[0087] Although it is about the case where two-layer formation of the wiring etc. is carried out, you may carry out this example, when it forms more than two-layer.

[0088] The same method as the 5th example is shown in drawing 13 about the 6th example at the time of applying to a circuit pattern. Drawing of the drawing 13 top is drawing which looked at the circuit pattern 17 from the semiconductor device forming face side, and is a plan from which the film deposited on the circuit pattern 17 was removed. The field inside the curve 27 in drawing has removed 17d of flow films, in order to show conductive thin film 17a. Lower drawing is a G-G' cross section before removing the film deposited on the circuit pattern 17.

[0089] The circuit pattern shown all over drawing forms the circuit pattern 17 equivalent to 50x2000-micrometer wiring like drawing 6. The conductive thin film size of aluminum used for wiring is the same size as conductive thin film 17a explained in the 2nd example and example 4. Since 17d of flow films is not formed in the same flat surface as conductive thin film 17a, unlike the 2nd example, they can carry out the direct file of the direction of a long side of conductive thin film 17a. Therefore, the width of face of the circuit pattern 17 whole is 59 micrometers which totaled two 4-micrometer width of face between the width of face of 17a3 conductive thin films, and each conductive thin film 17a, and the feature is for the width of face of the circuit pattern 17 whole not to increase like the 2nd example (for wiring width of face to be 80 micrometers at the 2nd example). Moreover, since the circuit pattern 17 whole is covered by 17d of flow films, crosswise [wiring], it also has the merit of hardly producing the potential difference.

[0090] It becomes possible to form wiring of the size of 50x2000 micrometers which fulfills a design specification and a hillock does not generate according to the circuit pattern of these three trains that combined conductive thin film 17a which a hillock cannot generate easily, and 17d of flow films. What is necessary is just to use for manufacture of this wiring 17 the same manufacture method as what was explained by drawing 12.

[0091] Moreover, it is also effective to form the barrier layer for connecting the outcrop of a silicon substrate 7 and other wiring between an insulator layer 8 and conductive thin film 17a. It is desirable to use interstitial compounds, such as an alloy containing metals, such as a tungsten, titanium, and cobalt, or them or titanium night RAIDO, or a silicide compound as a material of this barrier layer.

[0092] What is necessary is just to use what was mentioned as a material which was suitable for conductive thin film 6a or 6d of flow films in the example 5 as the quality of the material of conductive thin film 17a or 17d of flow sections.

[0093]

[Effect of the Invention] As explained above, it becomes possible by using the manufacture method of a semiconductor device based on this invention to obtain the semiconductor device which has the conductive thin film which has area which fulfills all design specifications, and a hillock does not generate.

[0094] The defect who originated in various hillocks, such as a short circuit during the wiring generated at the time of semiconductor device manufacture, an open circuit of wiring, destruction of an insulator layer, and ablation, by this can be prevented, and it becomes possible to have high

product reliability and to manufacture the semiconductor device of the high yield.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing which looked at the semiconductor device concerning the example 1 based on this invention from the electronic device forming face side of a semiconductor substrate.

[Drawing 2] Drawing 2 is the manufacturing process cross section of the electrode for mass capacitors formed in the semiconductor device concerning the example 1 based on this invention.

[Drawing 3] Drawing 3 is drawing which is used in order to determine the conductive thin film division size which the hillock of the electrode for mass capacitors formed in the semiconductor device concerning the example 1 based on this invention does not generate and which looked at the conductive thin film test pattern from the electronic device forming face side of a semiconductor substrate.

[Drawing 4] Drawing 4 is drawing showing the conductive thin film rectangle size dependency of a hillock generating phenomenon used in order to determine the conductive thin film division size which the hillock of the electrode for mass capacitors formed in the semiconductor device concerning the example 1 based on this invention does not generate.

[Drawing 5] Drawing 5 is drawing which looked at the semiconductor device 1 concerning the example 1 based on this invention from the electronic device forming face side of a semiconductor substrate.

[Drawing 6] Drawing 6 is drawing and the cross section which looked at the broad wiring formed in the semiconductor device concerning the 2nd example based on this invention from the electronic device forming face side of a semiconductor substrate.

[Drawing 7] Drawing 7 is drawing which looked at the electrode for mass capacitors formed in the semiconductor device concerning the 3rd example based on this invention from the electronic device forming face side of a semiconductor substrate.

[Drawing 8] Drawing 8 is drawing which looked at the electrode for mass capacitors formed in the semiconductor device concerning the 3rd example based on this invention from the cross section.

[Drawing 9] Drawing 9 is the manufacturing process cross section of the electrode for mass capacitors formed in the semiconductor device concerning the 3rd example based on this invention.

[Drawing 10] Drawing 10 is drawing and the cross section which looked at the broad wiring formed in the semiconductor device concerning the example 4 based on this invention from the electronic device forming face side of a semiconductor substrate.

[Drawing 11] Drawing 11 is drawing and the cross section which looked at the electrode for mass capacitors formed in the semiconductor device concerning the example 5 based on this invention from the electronic device forming face side of a semiconductor substrate.

[Drawing 12] Drawing 12 is the manufacturing process cross section of the electrode for mass capacitors formed in the semiconductor device concerning the example 5 based on this invention.

[Drawing 13] Drawing 13 is drawing and the cross section which looked at the broad wiring formed in the semiconductor device concerning the example 6 based on this invention from the electronic device forming face side of a semiconductor substrate.

[Description of Notations]

1 [— An arithmetic circuit, 4 / — Store circuit,] — A semiconductor device, 2 — A noise filter circuit, 3 5 [— The electrode for mass capacitors, 6a / — A conductive thin film,] — Broad wiring, 5a — Wiring, 6 6b, 6c [— A semiconductor substrate, 8 / — Insulator layer,] — The flow section, 6d — A flow film, 7 9 — A layer insulation film, 10 — A protection insulator layer, 16, 16a, 16b, 16c, A 16 d—aluminum film test pattern, 17 — A circuit pattern, 17a — The conductive thin film for wiring,

17b, 17c [— Resist,] — The flow section for wiring, 17d — The flow film for wiring, 20 20a, 20b [— A rib 27 / — The curve for a description of drawing, 60 / — The conductive thin film of the 1st layer before patterning, 61 / — The conductive thin film of the 2nd layer before patterning, 62 / — Conductive thin film for 6d formation of flow films before patterning.] — A resist pattern, 21 — A contact hole, 26

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

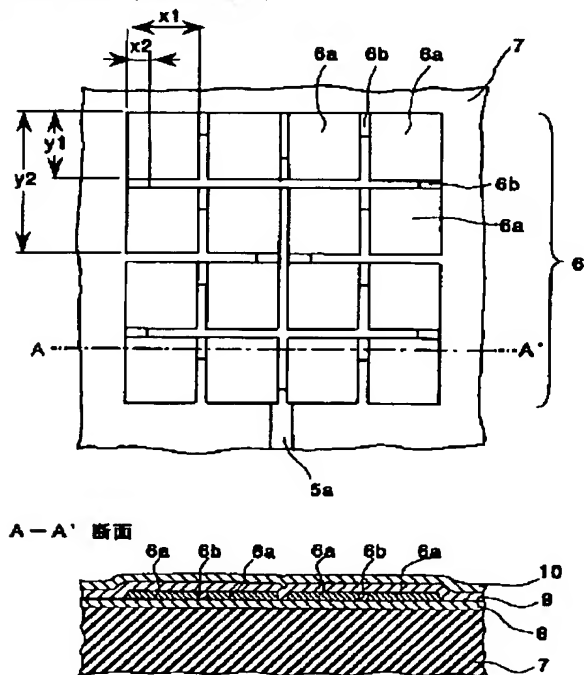
2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

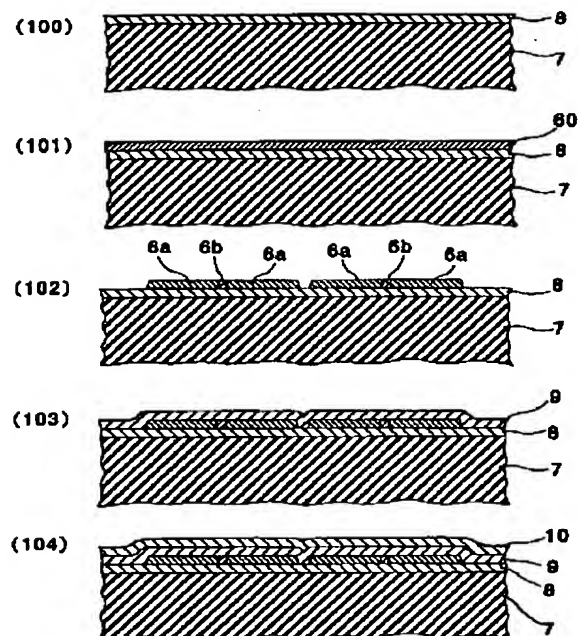
DRAWINGS

[Drawing 1]

第1の実施例に係る大容量コンデンサ用電極を半導体装置形成面側から見た平面図（図1）

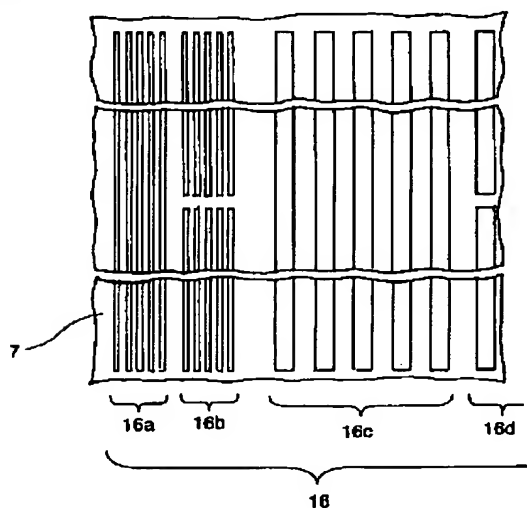
[Drawing 2]

第1の実施例に係る大容量コンデンサ用電極の製造工程断面
図(図2)



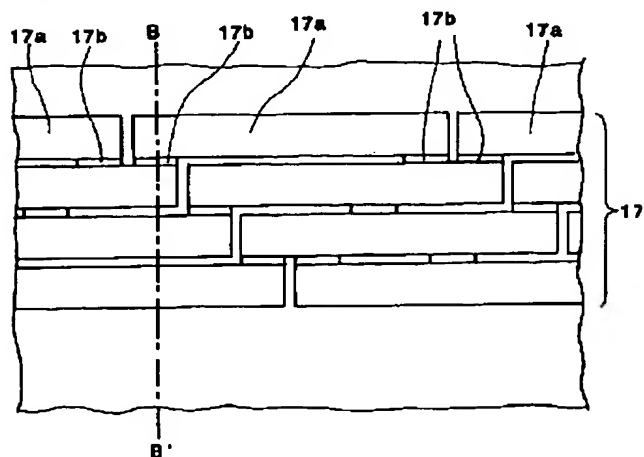
[Drawing 3]

第1の実施例に係る導電性薄膜のヒロック発生臨界寸法を決定するためのテストパターンをパターン作製面側から見た図(図3)

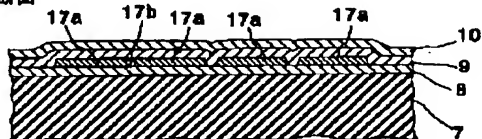


[Drawing 4]

第2の実施例に係る配線を半導体装置形成面側から見た図
(図6)

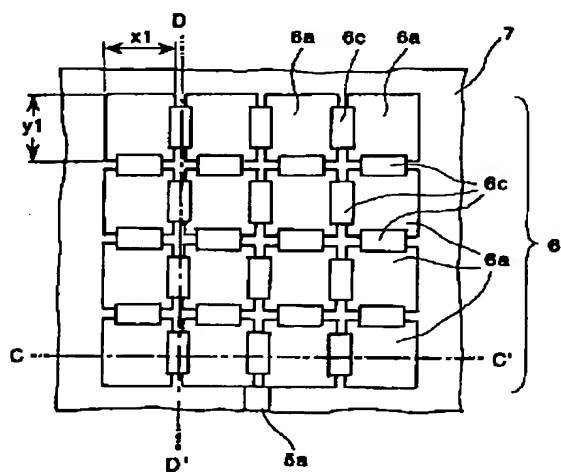


B-B' 断面



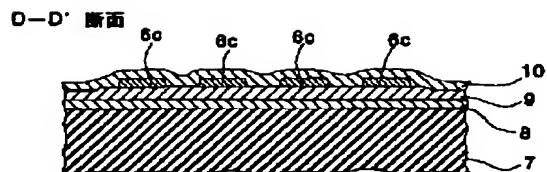
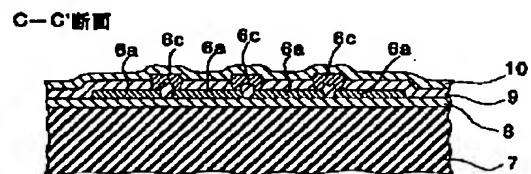
[Drawing 7]

第3の実施例に係る大容量コンデンサ用電極を半導体装置形成面側から見た平面図 (図7)



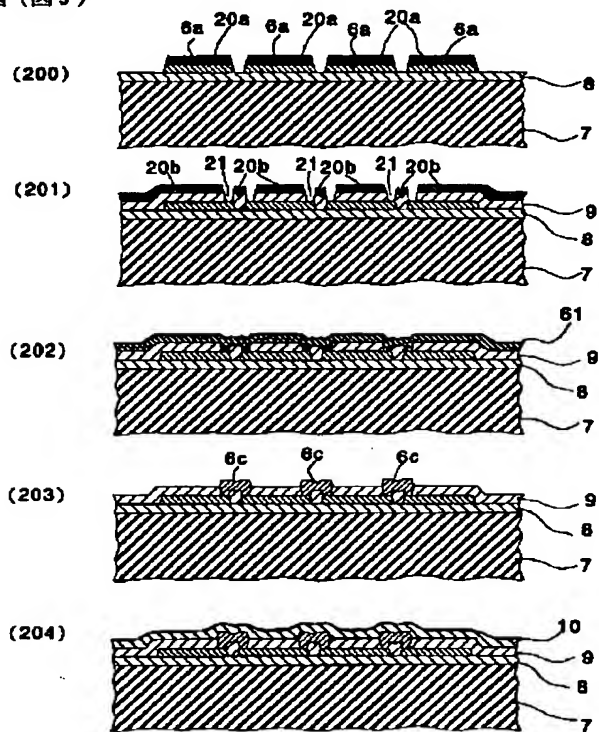
[Drawing 8]

第3の実施例に係る大容量コンデンサ用電極のC-C'断面図及びD-D'断面図(図8)



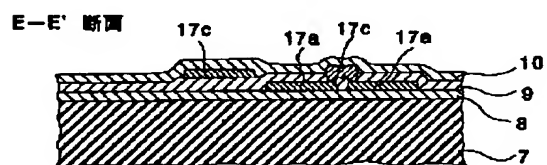
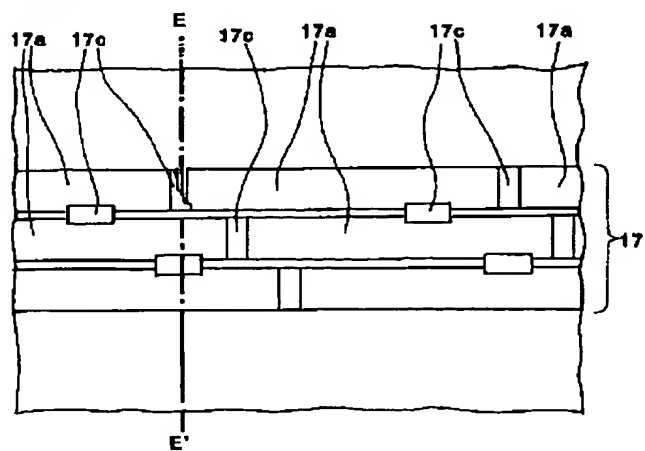
[Drawing 9]

第3の実施例に係る大容量コンデンサ用電極の製造工程断面図(図9)



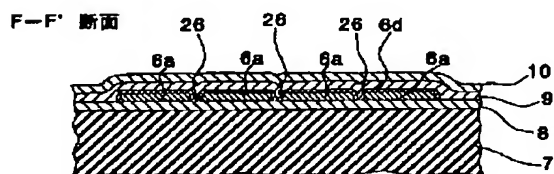
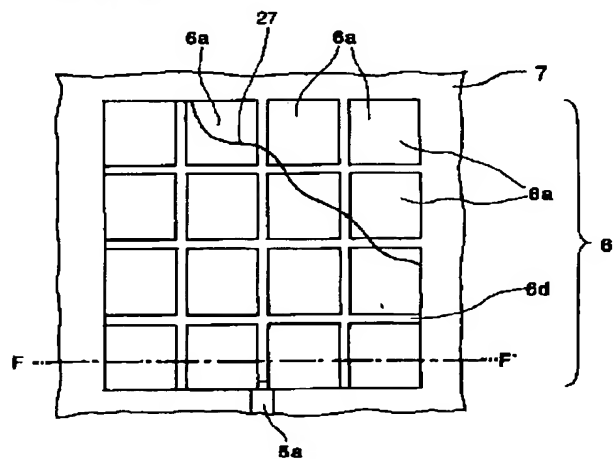
[Drawing 10]

第4の実施例に係る配線を半導体装置形成面側から見た図
(図10)



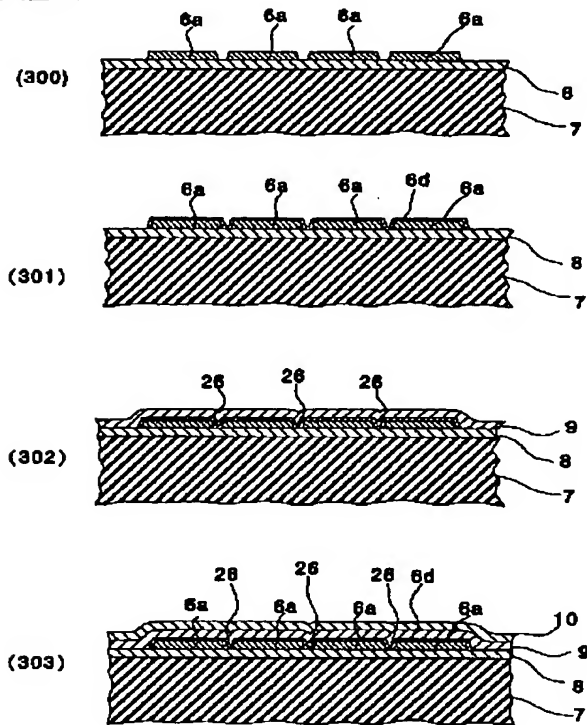
[Drawing 11]

第5の実施例に係る大容量コンデンサを半導体装置形成面側
から見た図 (図11)



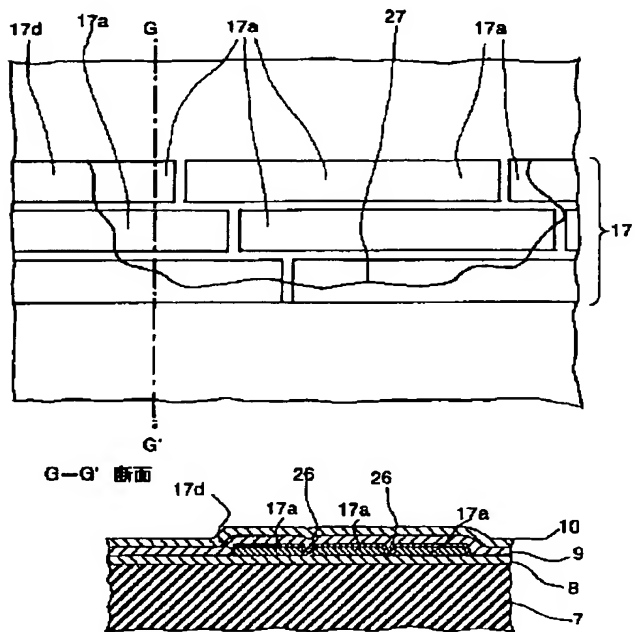
[Drawing 12]

第5の実施例に係る大容量コンデンサ用電極の製造工程断面
図 (図12)



[Drawing 13]

第6の実施例に係る配線を半導体装置形成面側から見た図
(図13)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-115914

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

21/28

3 0 1 R

T

H 0 1 L 21/ 88

B

N

審査請求 未請求 請求項の数21 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平6-249035

(22) 出願日 平成6年(1994)10月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中島 隆

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 斉藤 直人

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

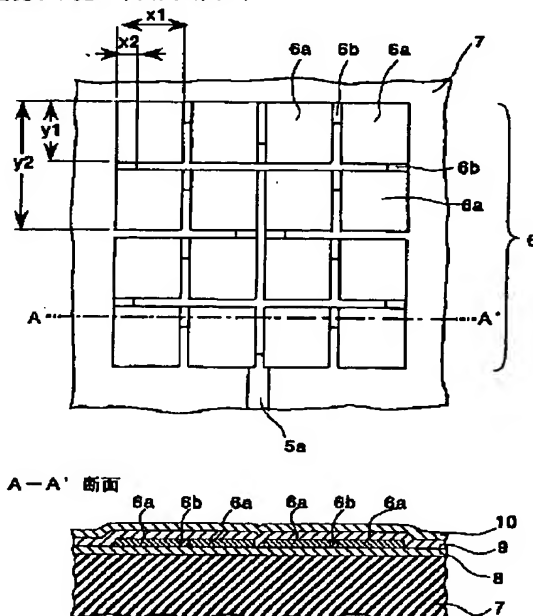
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 薄膜化された絶縁膜で覆われた大面積導電性薄膜においてヒロックの発生を防止し、半導体装置製造時に発生する配線間の短絡、配線の断線、絶縁膜の破壊、はく離等の不良を防止することが可能な半導体装置を提供することである。

【構成】 半導体基板7上に絶縁膜8を介して形成された大面積導電性薄膜6を有する半導体装置において、該導電性薄膜6の幅および長さ方向をヒロック発生臨界寸法以下の x_1 、 y_2 に分割し、分割した該導電性薄膜6aは別の導電性薄膜6bによって電気的に接続される。導電性薄膜6bは、分割した該導電性薄膜6aと組み合わせてもヒロックが発生しないように、ずらして配置される。

第1の実施例に係る大容量コンデンサ用電極を半導体装置形成面側から見た平面図(図1)



【特許請求の範囲】

【請求項 1】絶縁膜を介して半導体基板表面に形成された導電性薄膜を有する半導体装置において、前記導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を少なくとも二つずつに分割した第一の導電性薄膜と、該第一の導電性薄膜と同一面内に設けられ、かつすべての第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とする半導体装置。

【請求項 2】絶縁膜を介して半導体基板表面に形成された導電性薄膜を有する半導体装置において、前記導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を等間隔ごとに少なくとも二つずつに分割した第一の導電性薄膜と、該第一の導電性薄膜と同一面内に設けられ、かつすべての第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とする半導体装置。

【請求項 3】絶縁膜を介して半導体基板表面に形成された導電性薄膜を有する半導体装置において、前記導電性薄膜と同一面内の第一の方向に関して、該導電性薄膜を等間隔ごとに少なくとも二つに分割し、かつ該導電性薄膜と同一面内の該第一の方向とは異なる第二の方向に関して、該第一の方向で分割した間隔とは異なる等間隔ごとに該導電性薄膜を少なくとも二つに分割した第一の導電性薄膜と、該第一の導電性薄膜と同一面内に設けられ、かつすべての第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とする半導体装置。

【請求項 4】請求項 1 乃至 3 のいずれかにおいて、前記絶縁膜と第一の導電性薄膜との間に第三の導電性薄膜を設けたことを特徴とする半導体装置。

【請求項 5】請求項 1 乃至 4 のいずれかにおいて、前記第二の導電性薄膜は前記第一の導電性薄膜以外の素子と電氣的に接続されていないことを特徴とする半導体装置。

【請求項 6】第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜と、該導電性薄膜を覆う第二の絶縁膜とを有する半導体装置において、前記導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を少なくとも二つずつに分割した第一の導電性薄膜と、すべての該第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を第二の絶縁膜表面を經由して電氣的に接続する複数の第二の導電性薄膜とを有し、かつ該第二の導電性薄膜は該第一の導電性薄膜以外の素子と電氣的に接続されていないことを特徴とする半導体装置。

【請求項 7】第一の絶縁膜を介して半導体基板表面に形

成された導電性薄膜と、該導電性薄膜を覆う第二の絶縁膜とを有する半導体装置において、前記導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を等間隔ごとに少なくとも二つずつに分割した第一の導電性薄膜と、すべての該第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を第二の絶縁膜表面を經由して電氣的に接続する複数の第二の導電性薄膜とを有し、かつ該第二の導電性薄膜は該第一の導電性薄膜以外の素子と電氣的に接続されていないことを特徴とする半導体装置。

【請求項 8】第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜と、該導電性薄膜を覆う第二の絶縁膜とを有する半導体装置において、前記導電性薄膜と同一面内の第一の方向に関して、該導電性薄膜を等間隔ごとに少なくとも二つに分割し、かつ該導電性薄膜と同一面内の該第一の方向とは異なる第二の方向に関して、該第一の方向で分割した間隔とは異なる等間隔ごとに該導電性薄膜を少なくとも二つに分割した第一の導電性薄膜と、すべての該第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を第二の絶縁膜表面を經由して電氣的に接続する複数の第二の導電性薄膜とを有し、かつ該第二の導電性薄膜は該第一の導電性薄膜以外の素子と電氣的に接続されていないことを特徴とする半導体装置。

【請求項 9】絶縁膜を介して半導体基板表面に形成された導電性薄膜を有する半導体装置において、前記導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を少なくとも二つずつに分割した第一の導電性薄膜と、該第一の導電性薄膜を堆積した全領域及び該第一の導電性薄膜の間の全領域の上に形成された第二の導電性薄膜とを有することを特徴とする半導体装置。

【請求項 10】絶縁膜を介して半導体基板表面に形成された導電性薄膜を有する半導体装置において、前記導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を等間隔ごとに少なくとも二つずつに分割した第一の導電性薄膜と、該第一の導電性薄膜を堆積した全領域及び該第一の導電性薄膜の間の全領域の上に形成された第二の導電性薄膜とを有することを特徴とする半導体装置。

【請求項 11】絶縁膜を介して半導体基板表面に形成された導電性薄膜を有する半導体装置において、前記導電性薄膜と同一面内の第一の方向に関して、該導電性薄膜を等間隔ごとに少なくとも二つに分割し、かつ該導電性薄膜と同一面内の該第一の方向とは異なる第二の方向に関して、該第一の方向で分割した間隔とは異なる等間隔ごとに該導電性薄膜を少なくとも二つに分割した第一の導電性薄膜と、該第一の導電性薄膜を堆積した全領域及び該第一の導電性薄膜の間の全領域の上に形成された第二の導電性薄膜とを有することを特徴とする半導体装置。

【請求項 12】請求項 9 乃至 11 のいずれかにおいて、前記絶縁膜と第一の導電性薄膜との間に第三の導電性薄膜を設けることを特徴とする半導体装置。

【請求項 13】請求項 9 乃至 12 のいずれかにおいて、前記第一の導電性薄膜同士の間で前記第二の導電性薄膜の表面に接するようなリブを持ち、かつ前記第二の導電性薄膜を覆う第二の絶縁膜を有することを特徴とする半導体装置。

【請求項 14】第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜と、該導電性薄膜を覆う第二の絶縁膜を有する半導体装置において、膜厚が薄い部分及び複数の膜厚が厚い部分が存在する第一の導電性薄膜と、第一の導電性薄膜の膜厚が薄い部分の表面に接するようなリブを持つ第二の絶縁膜とを有することを特徴とする半導体装置。

【請求項 15】第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜と、該導電性薄膜を覆う第二の絶縁膜を有する半導体装置において、膜厚が薄い部分及び複数の膜厚が厚い部分が存在する第一の導電性薄膜と、該第一の導電性薄膜を堆積したすべての領域上に形成された第二の導電性薄膜と、第一の導電性薄膜の膜厚が薄い部分の表面に形成された第二の導電性薄膜に接するようなリブを持つ第二の絶縁膜とを有することを特徴とする半導体装置。

【請求項 16】請求項 14 または 15 において、前記第一の絶縁膜と第一の導電性薄膜との間に第三の導電性薄膜を設けることを特徴とする半導体装置。

【請求項 17】請求項 9 乃至 16 のいずれかにおいて、第二の導電性薄膜が同一形状の第一の導電性薄膜よりも曲げ剛性が高いことを特徴とする半導体装置。

【請求項 18】請求項 1 乃至 16 のいずれかにおいて、前記第一の導電性薄膜の材料が金属、金属シリサイド、侵入型化合物から選択される一つであることを特徴とする半導体装置。

【請求項 19】請求項 1 乃至 16 のいずれかにおいて、前記第一の導電性薄膜の材料がアルミニウム、アルミニウム合金、銅、銅合金、チタニウム、チタニウム合金、タングステン、タングステン合金、チタンナイトライドから選択される一つであり、またはチタニウム、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、タンタル、タングステン、ジルコニウム、ニオブ、モリブデン、パラジウム、ロジウム、イリジウム、白金、ハフニウム、テルビウム、エルビウム、イットリウムの中から選択される一つとシリコンとから成る金属シリサイドであることを特徴とする半導体装置。

【請求項 20】請求項 1 乃至 16 のいずれかにおいて、前記第二の導電性薄膜の材料が金属、金属シリサイド、侵入型化合物から選択される一つであることを特徴とする半導体装置。

【請求項 21】請求項 1 乃至 16 のいずれかにおいて、

前記第二の導電性薄膜の材料がアルミニウム、アルミニウム合金、銅、銅合金、チタニウム、チタニウム合金、タングステン、タングステン合金、チタンナイトライドから選択される一つであり、またはチタニウム、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、タンタル、タングステン、ジルコニウム、ニオブ、モリブデン、パラジウム、ロジウム、イリジウム、白金、ハフニウム、テルビウム、エルビウム、イットリウムの中から選択される一つとシリコンとから成る金属シリサイドであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に係り、特に、半導体基板表面に絶縁膜を介して形成された導電性薄膜を有する半導体装置に関するものである。

【0002】

【従来の技術】近年、半導体装置内に形成される電子素子の高集積化が急速に進められている一方で、製品ニーズによっては、大容量コンデンサ、大電流用配線等のように大形化している電子素子がある。

【0003】例えば、コンデンサの場合、光通信等のような、情報伝達の高速化や高密度化を目的とする伝達情報の高周波数化に対応して、ノイズフィルタ内部に形成するコンデンサの大容量化が進められている。フィルタのノイズ除去可能な周波数は、フィルタ内コンデンサの容量によって決定され、コンデンサ容量が大きいくほど、高周波数帯域までノイズ分離が可能となる。タンタル等の高誘電率物質を用いた大容量コンデンサの開発が進められてはいるものの、まだ大量生産技術が確立しておらず、コンデンサの大容量化は、主にコンデンサ用電極の大面积化によって実現している。

【0004】また、大電流負荷用配線においても、配線に用いられる導電性薄膜の抵抗値を下げるため、配線幅を広くすること、すなわち配線用導電性薄膜の大面积化が進められている。

【0005】しかし配線やコンデンサ用電極等のような導電性薄膜の大面积化を行うと、設計仕様を満足させることができる反面、導電性薄膜上にヒロックが発生し易くなるという欠点が生じる。ヒロックとは導電性薄膜表面に局所的に発生する微小突起であり、上下配線や隣接配線との短絡、上部配線の断線、導電性薄膜を覆う絶縁膜の破壊及び剥離、後の工程における露光不良等、様々な不良の原因となる。

【0006】そのため、例えば、特開昭 57-45259 号公報、同 61-252647 号公報、同 63-84137 号公報、同 5-218034 号公報等において開示されているように、大面积導電性薄膜にスリットを設け、薄膜の幅方向の寸法をヒロックが発生しない幅以下に分割する技術がヒロック発生防止手段として用いられてきた。

【0007】また、特開平3-82128号公報、同4-85823号公報のように、ヒロック発生前に導電性薄膜表面への高剛性層の形成、あるいは導電性薄膜上部への高剛性薄膜の堆積を行うことによって、該導電性薄膜の変形（ヒロック発生）を強制的に抑える技術も用いられてきた。

【0008】

【発明が解決しようとする課題】ところが、幅の広い配線や大容量コンデンサ用電極においてヒロック発生を防止するためには、これらの用途に用いられる大面積の導電性薄膜を分割し、その幅方向寸法のみを制限するだけでは不十分であることが明らかになった。◆以下、シリコン基板上に酸化シリコン膜を介して形成した矩形のアルミニウム合金（組成Al-1wt. %Si、以下Alと略す）膜におけるヒロック発生数を検討した結果について説明する。

【0009】試料の製作は、以下の順に行った。まず、シリコン基板表面を熱酸化し、膜厚1.6 μ mの酸化シリコン膜を形成した。次に、酸化シリコン膜表面に、スパッタリング法にてAl膜を膜厚0.5 μ m堆積し、Al膜のパターニングを行った。Al膜パターンは、短辺が100 μ m以上の大面積パターンや、短辺が5 μ m以下でかつ長辺が2000 μ m程度の細長いパターン等を形成した。続いて、プラズマを用いた化学蒸着法（以後、プラズマCVD法と呼ぶ）にて酸化シリコン膜を膜厚0.2 μ m（基板温度350℃）、電子回路上を平坦化するための酸化シリコン膜SOG（Spin on Glass）を膜厚0.2 μ m（ベーク温度440℃）、同様にプラズマCVD法にて酸化シリコン膜を膜厚0.6 μ m（基板温度350℃）堆積した（以後、この3層の絶縁膜を一括して層間絶縁膜と称する）。最後に、Al膜及び層間絶縁膜を安定化させるための熱処理（基板温度450℃）を施した。

【0010】こうして得られた試料のAl膜におけるヒロック発生数の寸法依存性を図4に示す。図中、横軸は矩形Al膜の短辺寸法、縦軸はアスペクト比（長辺寸法／短辺寸法比）である。アスペクト比＝1の場合、矩形形状は正方形であり、アスペクト比が大きいほど、配線等のような長い矩形形状であることを表す。図中のマーク○はヒロックの発生が認められなかった矩形Al膜であることを、●はヒロックの発生が認められたAl膜であることを表す。●の添字は面積1mm²当たりに換算したヒロック発生数（以後、この数値をヒロック発生密度と呼ぶ。単位は個／mm²とする。）である。

【0011】主にコンデンサ用電極として用いられる短辺寸法>10 μ m、アスペクト比 \leq 3のAl膜（図中にコンデンサタイプとして示す）の場合、短辺寸法<約90 μ m（例えば、短辺寸法＝長辺寸法＝約75 μ m、矩形面積＝約5600 μ m²）ではヒロックが認められなかったが、短辺寸法 \geq 約90 μ m（例えば、短辺寸法

＝長辺寸法＝約90 μ m、矩形面積＝約8100 μ m²）になると急激にヒロックが発生し易くなっていることが分かる。

【0012】主に配線として用いられる短辺寸法 \leq 10 μ m以下の細いAl膜（図中に配線タイプとして示す）の場合にも、アスペクト比 \leq 80のとき（例えば、短辺寸法＝約6 μ m、長辺寸法＝約480 μ m、矩形面積＝約2900 μ m²）にはヒロックが認められず、アスペクト比>80のAl膜（例えば、短辺寸法＝約6 μ m、長辺寸法＝約2000 μ m、矩形面積＝約12000 μ m²）においてヒロックが認められた。コンデンサタイプのAl膜よりも長辺寸法が約480 μ mと長いものにおいてもヒロックが認められなかったことから、ヒロック発生は長辺寸法に依存していないことが分かる。

【0013】また、両タイプの中間に位置するAl膜の場合、短辺寸法＝約60 μ m、アスペクト比＝約33（長辺寸法＝約2000 μ m、矩形面積＝約12000 μ m²）ではヒロックが発生密度9個／mm²認められ、更に矩形面積が大きい短辺寸法＝約40 μ m、アスペクト比＝約12（長辺寸法＝約460 μ m、矩形面積＝約18400 μ m²）ではヒロックは認められなかった。このことから、ヒロック発生は矩形面積にも依存していないことが分かる。

【0014】以上のことから、ヒロックはAl膜の短辺寸法が長いほど、また同一短辺寸法ではアスペクト比が大きいほど発生し易くなり、各Al膜短辺寸法に対応してヒロックが発生する最小の長辺寸法（以下、この短辺寸法及び長辺寸法をヒロック発生臨界寸法と称する）が存在することが明らかになった。図中にヒロックが発生する寸法領域を灰色領域で、その境界線となるヒロック発生臨界寸法を濃い灰色曲線にて示す。

【0015】従って、矩形導電性薄膜におけるヒロック発生を公知技術のみで防止することは困難であり、Al膜を短辺（幅）方向に関して分割するだけでなく、短辺寸法に応じて長辺方向に関して分割する必要があることが分かる。◆一方、近年、半導体装置の高集積化、工期の短縮及び製造コスト低減のための対策の一つとして、多層配線間を絶縁する層間絶縁膜の薄膜化が急速に進められており、このことによってヒロックは発生しやすくなる傾向にある。

【0016】薄膜化が高集積化へつながる理由に以下に因る。上部配線と下部配線の電氣的接続は、層間絶縁膜にエッチング等によって設けるコンタクトホールを導電性材料で埋めることによって行う。このエッチング等によるコンタクトホール形成工程では、絶縁膜厚方向のエッチングだけでなく、面内方向にも多少はエッチングされてしまうため、最終的にはコンタクトホール壁面が垂直にならず、上部配線側が広く、下部配線側が狭くなるようにテーパが付いてしまう。そのため、下部配線側において必要な導通抵抗を持つコンタクトホール面積（コ

ンタクトホールを膜面内平面で切ったときに現われる面積)を確保するためには、上部配線側のコンタクトホール寸法を、テーパが付いてコンタクトホール面積が縮小する分、予め大きい寸法にする必要がある。

【0017】従って、絶縁性が保たれる範囲内で層間絶縁膜の厚さを薄くするほど、上部配線側のコンタクトホール面積を小面積化できるため、高集積化を進めることが可能になる。◆また、コンタクトホールは、面積が小さく、深さが深いほど、コンタクトホール内部を導電性物質で隙間無く埋めることは困難になる。それ故、層間絶縁膜の厚さを薄くするほど導通不良が生じにくい構造となる。更に、層間絶縁膜薄膜化の実施によって、膜堆積時間の短縮、或いは材料費の削減が可能になるため、工期の短縮、製造コストの低減につながる。

【0018】しかし、この反面、層間絶縁膜の薄膜化は層間絶縁膜の曲げ剛性を低下させ、ヒロック発生等の導電性薄膜の変形を生じさせ易くすることになる。◆以上述べたように、半導体装置内において、導電性薄膜の大面积化が進み、かつ高集積化を進むほど、ヒロックが発生し易い状況に変化していくため、近年ではますます有効なヒロック発生防止対策を講ずる必要性が生じている。

【0019】本発明の目的は、半導体装置上の電子素子の大型化、及び層間絶縁膜の薄膜化のニーズに対応し、あらゆる形状の面積導電性薄膜を有する半導体装置において、ヒロックが発生しないような積層構造を提供することにある。

【0020】

【課題を解決するための手段】上記の相反する製品ニーズ、すなわち層間絶縁膜の薄膜化及び導電性薄膜の大面积化を満たす半導体装置においてヒロックを発生させないためには、大面积の導電性薄膜を、図4で示したヒロック発生臨界寸法以下になるように分割する必要がある。更には、分割された導電性薄膜を電氣的に接続することで、一つの面積導電性薄膜と同様の機能を持たせる必要がある。◆設計仕様を満たすために大面积化された導電性薄膜において、ヒロックが発生しない半導体装置を提供するため、本発明は以下の特徴を備える。

【0021】本発明の半導体装置は、第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜を有するものであって、(1) (a) 該導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を少なくとも二つずつに分割した第一の導電性薄膜と、(b) 該第一の導電性薄膜と同一面内に設けられ、かつすべての第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を電氣的に接続する複数の第二の導電性薄膜とを有すること、または(2) (a) 該導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を等間隔ごとに少なくとも二つずつに分割した第一の導電性薄膜と、(b) 該第一の導電性薄膜と同一面内に

設けられ、かつすべての第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を電氣的に接続する複数の第二の導電性薄膜とを有すること、

(3) (a) 該導電性薄膜と同一面内の第一の方向に関して、該導電性薄膜を等間隔ごとに少なくとも二つに分割し、かつ該導電性薄膜と同一面内の該第一の方向とは異なる第二の方向に関して、該第一の方向で分割した間隔とは異なる等間隔ごとに該導電性薄膜を少なくとも二つに分割した第一の導電性薄膜と、(b) 該第一の導電性薄膜と同一面内に設けられ、かつすべての第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とする。本発明においては、前記絶縁膜と第一の導電性薄膜との間に第三の導電性薄膜を設けることも有効である。また、前記第二の導電性薄膜が、前記第一の導電性薄膜以外の素子と電氣的に接続されていないことも有効である。

【0022】また、本発明の別の半導体装置は、第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜と、該導電性薄膜を被う第二の絶縁膜を有するものであって、(4) (a) 該導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を少なくとも二つずつに分割した第一の導電性薄膜と、(b) すべての該第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を第二の絶縁膜表面を經由して電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とし、かつ該第二の導電性薄膜は該第一の導電性薄膜以外の素子と電氣的に接続されていないこと、(5)

(a) 該導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を等間隔ごとに少なくとも二つずつに分割した第一の導電性薄膜と、(b) すべての該第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を第二の絶縁膜表面を經由して電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とし、かつ該第二の導電性薄膜は該第一の導電性薄膜以外の素子と電氣的に接続されていないこと、(6)

(a) 該導電性薄膜と同一面内の第一の方向に関して、該導電性薄膜を等間隔ごとに少なくとも二つに分割し、かつ該導電性薄膜と同一面内の該第一の方向とは異なる第二の方向に関して、該第一の方向で分割した間隔とは異なる等間隔ごとに該導電性薄膜を少なくとも二つに分割した第一の導電性薄膜と、(b) すべての該第一の導電性薄膜が電氣的に接続されるように隣接する該第一の導電性薄膜同士を第二の絶縁膜表面を經由して電氣的に接続する複数の第二の導電性薄膜とを有することを特徴とし、かつ該第二の導電性薄膜は該第一の導電性薄膜以外の素子と電氣的に接続されていないことを特徴とする。

【0023】また、本発明の更に別の半導体装置は、絶縁膜を介して半導体基板表面に形成された導電性薄膜を

有するものであって、(7) (a) 該導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を少なくとも二つずつに分割した第一の導電性薄膜と、(b) 該第一の導電性薄膜を堆積した全領域及び該第一の導電性薄膜の間の全領域の上に形成された第二の導電性薄膜とを有すること、(8) (a) 該導電性薄膜と同一面内の異なる二方向両方に関して、該導電性薄膜を等間隔ごとに少なくとも二つずつに分割した第一の導電性薄膜と、(b) 該第一の導電性薄膜を堆積した全領域及び該第一の導電性薄膜の間の全領域の上に形成された第二の導電性薄膜とを有すること、(9) (a) 該導電性薄膜と同一面内の第一の方向に関して、該導電性薄膜を等間隔ごとに少なくとも二つに分割し、かつ該導電性薄膜と同一面内の該第一の方向とは異なる第二の方向に関して、該第一の方向で分割した間隔とは異なる等間隔ごとに該導電性薄膜を少なくとも二つに分割した第一の導電性薄膜と、(b) 該第一の導電性薄膜を堆積した全領域及び該第一の導電性薄膜の間の全領域の上に形成された第二の導電性薄膜とを有することを特徴とする。本発明においては、(c) 前記絶縁膜と該第一の導電性薄膜との間に第三の導電性薄膜を設けることも有効である。また、(d) 該第一の導電性薄膜同士の間で該第二の導電性薄膜の表面に接するようなりブを持ち、かつ該第二の導電性薄膜を覆う第二の絶縁膜を有することも有効である。更には、該第二の導電性薄膜が同一形状の該第一の導電性薄膜よりも曲げ剛性が高いことも有効である。

【0024】また、本発明の更に別の半導体装置は、第一の絶縁膜を介して半導体基板表面に形成された導電性薄膜と、該導電性薄膜を被う第二の絶縁膜とを有するものであって、(10) (a) 膜厚が薄い部分及び複数の膜厚が厚い部分が存在する第一の導電性薄膜と、(b) 該第一の導電性薄膜の膜厚が薄い部分の表面に接するようなりブを持つ第二の絶縁膜とを有すること、(11)

(a) 膜厚が薄い部分及び複数の膜厚が厚い部分が存在する第一の導電性薄膜と、(b) 該第一の導電性薄膜を堆積した領域上に形成された第二の導電性薄膜と、

(c) 該第一の導電性薄膜の膜厚が薄い部分の表面に形成された該第二の導電性薄膜に接するようなりブを持つ第二の絶縁膜とを有することを特徴とする。本発明においては、(d) 該第一の絶縁膜と該第一の導電性薄膜との間に第三の導電性薄膜を設けることも有効である。また、該第二の導電性薄膜が同一形状の該第一の導電性薄膜よりも曲げ剛性が高いことも有効である。

【0025】前記第一の導電性薄膜の材料や第二の導電性薄膜の材料においては、金属または金属シリサイドまたは侵入型化合物であることが望ましく、更には、アルミニウム、アルミニウム合金、銅、銅合金、チタニウム、チタニウム合金、タングステン、タングステン合金等の金属の中から選択される1つ、或いはチタニウム、バナジウム、クロム、マンガン、鉄、コバルト、ニッケ

ル、タンタル、タングステン、ジルコニウム、ニオブ、モリブデン、パラジウム、ロジウム、イリジウム、白金、ハフニウム、テルビウム、エルビウム、イットリウムの中から選択される1つとシリコンとから成る金属シリサイド、或いはチタンナイトライド等の侵入型化合物の中から選択される1つであることが望ましい。

【0026】

【作用】本発明によれば、あらゆる設計仕様を満たすような面積を有し、かつヒロックが発生しない導電性薄膜を有する半導体装置を得ることが可能となる。◆これにより、半導体装置製造時に発生する配線間の短絡、配線の断線、絶縁膜の破壊、剥離等の様々なヒロックに起因した不良を防止することができ、高い製品信頼性を有し、かつ高い歩留りの半導体装置を製造することが可能となる。

【0027】

【実施例】以下本発明の実施例について、図面を参照して説明する。◆本発明に基づく半導体装置に関する第1の実施例を図1～図5を用いて説明する。

【0028】本発明の実施例に基づく半導体装置1表面に形成した、光通信等の高周波数通信に対応したノイズフィルタ2内の大容量コンデンサ用電極6を図1に示す。上側の図は大容量コンデンサ用電極6を半導体装置表面側、すなわち半導体装置形成面側から見た図であり、コンデンサ用電極6の上に堆積した膜を除去した平面図である。

【0029】下側の図は、上側の図のコンデンサ用電極6上に堆積した膜を除去する前のA-A'断面図である。大容量コンデンサ用電極6に、例えば、設計仕様上 $300\mu\text{m} \times 300\mu\text{m}$ 相当の面積が必要である場合、コンデンサ用電極6を一辺 $300\mu\text{m}$ の正形状の導電性薄膜とすると、図4からヒロックが発生する可能性が非常に高いことが分かる。従って、この実施例においては、大容量コンデンサ用電極6は半導体基板7上に絶縁膜8を介して基盤目状に配列された複数の導電性薄膜6aと、各導電性薄膜6aを電気的に接続するため導電性薄膜6aと同一平面上に形成した導通部6bと、層間絶縁膜9と、回路全体を保護する保護絶縁膜10から構成することによって、ヒロック発生を防止している。

【0030】層間絶縁膜9と保護絶縁膜10との間に形成される2層目の配線層を図中には示していないが、半導体装置1内の大容量コンデンサ以外の素子を形成した領域には、トランジスタへの配線等の目的のために2層目の配線層を形成している。大容量コンデンサ用電極6全体としては、ノイズフィルタ2内の他の電子回路と配線5aによって、電気的に接続されている。

【0031】図1においては、導電性薄膜6aの矩形寸法 x_1 、 y_1 をヒロック発生臨界寸法以下にし、かつ導電性薄膜6aと導通部6bとを組み合わせた矩形寸法 x_2 、 y_2 についてもヒロック発生臨界寸法以上にならな

いように、複数の導通部 6b をずらして配置している。このことによって、大容量コンデンサ用電極 6 が設計仕様を満たす容量（面積）を有し、かつヒロック発生を防止できる構造とすることができる（ヒロック発生臨界寸法の決定方法については後述する）。

【0032】この半導体装置 1 の製造方法を、半導体基板 7 がシリコン基板の場合を例にとり、大容量コンデンサ 2 の断面図を用いて図 2 にて説明する。◆まず、シリコンの半導体基板 7 表面に熱酸化等を行うことによって、酸化シリコンで形成した絶縁膜 8 を膜厚 1.6 μm 形成する（工程 100）。次に絶縁膜 8 上に A1 で形成した導電性薄膜 60 をスパッタリング法等によって膜厚 0.5 μm 堆積する（工程 101）。

【0033】導電性薄膜 60 をドライエッチング等でパターニングすることによって、大容量コンデンサ用電極 6 となる導電性薄膜 6a と導通部 6b を形成する（工程 102）。「課題を解決するための手段」の項にて説明した 3 層構造の層間絶縁膜 9 を膜厚 1.0 μm 形成する。大容量コンデンサ用電極 6 以外の素子を形成した領域においては、各素子間を電氣的に接続することが必要となる。そのため、導電性薄膜 60 をパターニングして得た 1 層目の配線または回路と、後の工程で形成する 2 層目配線との電氣的接続をするためのコンタクトホール（図示しない）を、層間絶縁膜 9 をエッチングすることによって図 2 の領域外に形成する。

【0034】層間絶縁膜 9 上にスパッタリング法等によって A1 等の導電性薄膜を堆積し、パターニングすることによって第 2 配線層（図示しない）を図 2 の領域外に得る。最後に回路を湿気等から保護するため、酸化シリコンで形成した保護絶縁膜 10 をプラズマ CVD 法等によって膜厚 1.0 μm 堆積する。以上の製造工程を経て、半導体装置 1 を得る。

【0035】半導体装置 1 の製造に用いた薄膜形成方法及び各電子素子の形成方法等は、上に記載した方法等に限定するものではなく、他の方法によっても差し支えない。また、膜厚等の各種数値および材質等も特に限定するものではない。大容量コンデンサ用電極 6 の容量を増加させるために、電極 6 とシリコン基板 7 の間に形成する絶縁膜 8 の膜厚のみを、例えば 0.1 μm と薄くしても差し支えない。

【0036】導電性薄膜 6a、各導通部 6b、及び配線 5a は、例えば金属、或いは導電性がある金属シリサイドや侵入型化合物、或いは不純物を注入した半導体で形成されていることが望ましく、更には、アルミニウム、アルミニウム合金、銅、銅合金、チタニウム、チタニウム合金、タングステン、タングステン合金等の金属、或いはチタニウム、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、タンタル、タングステン、ジルコニウム、ニオブ、モリブデン、パラジウム、ロジウム、イリジウム、白金、ハフニウム、テルビウム、エルビウ

ム、イットリウムの中から選択される 1 つとシリコンとから成る金属シリサイド、或いはチタナイトライド等の侵入型化合物で形成されていることが望ましい。侵入型化合物とは、遷移金属と、水素、ホウ素、炭素、窒素、酸素との化合物のことを指す。侵入型化合物は、合金の特徴を示し、電気伝導性が良いため、本発明の導電性を持たせる部位に適している。

【0037】また、導電性薄膜 6a、及び各導通部 6b、及び配線 5a は、各々を同一材料で形成しても、異なる材料で形成しても構わない。また、同一工程で形成しても、別々の工程で形成しても差し支えない。

【0038】この実施例は配線等を 2 層形成した場合についてであるが、単層であっても構わないし、2 層より多くても差し支えない。図 1 の A-A' 断面図中の層間絶縁膜 9 と保護絶縁膜 10 の間においては配線層等が形成されていないが、大容量コンデンサ用電極 6 上に配線層等を形成しても構わない。◆また、この実施例においては、導電性薄膜 6a を基盤目状に配列していたが、半導体基盤上のスペースを有効に利用した他の配列方法を用いても構わない。

【0039】本実施例においては、シリコン基板 7 の露出部と他の配線を接続するためのバリア層を、絶縁膜 8 と導電性薄膜 6a との間に形成することも有効である。このバリア層の材料としては、タングステン、チタニウム、コバルト等の金属やそれらを含む合金、或いはチタナイトライド等の侵入型化合物、或いはシリサイド化合物等を用いることが望ましい。バリア層を堆積する場合には、工程 101 の前にバリア層堆積工程を設ける必要がある。◆次に、ヒロック発生臨界寸法を決定する方法について説明する。

【0040】ヒロックの発生し易さは、図 4 を用いて説明したように、導電性薄膜 6a の短辺寸法、長辺寸法に依存するが、それ以外に、導電性薄膜 6a の結晶粒径、結晶方位、密度、内部応力等の膜質にも依存する。膜質は、薄膜 6a の堆積条件、薄膜 6a 周囲に堆積した他の薄膜の内部応力、薄膜 6a 周囲の積層構造、薄膜 6a を堆積した後の熱処理の方法等、様々な製造条件によって変化する。そのため、実験的手段によって、すなわち実際の製造工程を用いて、ヒロック発生臨界寸法を決定することが望ましい。以下、その決定方法の詳細を図 3、図 4 を用い、図 2 の工程に沿って半導体装置 1 を製造する場合を例にとり、説明する。

【0041】まず、図 2 の（工程 100）（工程 101）に沿って、シリコンの半導体基板 7 表面への酸化シリコンの絶縁膜 8 の形成、A1 の導電性薄膜 60 の堆積を行う。これらの膜の形成、堆積は、図 2 で説明した工程と同一条件にて行う。

【0042】次に、ヒロック発生臨界長さを決定するための矩形テストパターン 16 を導電性薄膜 60 に形成する。テストパターン 16 の各短辺寸法としては、設計仕

様中でよく使う加工寸法を中心に選択する。例えば、設計仕様において最少加工短辺寸法が $4\mu\text{m}$ 、最大加工短辺寸法が $500\mu\text{m}$ であり、設計仕様中でよく使われる寸法が 4 、 6 、 20 、 $30\mu\text{m}$ である場合、テストパターン16の各短辺寸法としては、 $4\mu\text{m}$ （最小加工寸法）、 6 、 20 、 $30\mu\text{m}$ （最頻寸法）、 500 、 250 、 167 、 125 、 100 、……、 $50\mu\text{m}$ （最大加工短辺寸法/ $k\mu\text{m}$ 、 $k=1, 2, \dots, 10$ ）等の中から選択する。

【0043】各テストパターン16のアスペクト比 r は、最大加工長辺寸法が $2000\mu\text{m}$ である場合、長辺の寸法が $2000\mu\text{m}$ を越えない範囲で数種類選択する。例えば、短辺= $4\mu\text{m}$ の場合には、 $r=500$ 、 250 、 167 、 125 、 100 （= $2000/4/k$ 、 $k=1, 2, \dots, 5$ ）等を、短辺= $50\mu\text{m}$ の場合には、 $r=40$ 、 20 、 10 、 5 （= $2000/50/k$ 、 $k=1, 2, \dots, 5$ ）等を、短辺= $500\mu\text{m}$ の場合には、 $r=4$ 、 3 、 2 、 1 （= $2000/500/k$ 、 $k=1, 2, 3, 4$ ）等を選択する。導電性薄膜60をエッチングすることによって、これらのテストパターン16を形成する。

【0044】図3では、短辺= $4\mu\text{m}$ 、長辺= $2000\mu\text{m}$ のテストパターン16a、短辺= $4\mu\text{m}$ 、長辺= $1000\mu\text{m}$ のテストパターン16b、短辺= $20\mu\text{m}$ 、長辺= $2000\mu\text{m}$ のテストパターン16c、短辺= $20\mu\text{m}$ 、長辺= $1000\mu\text{m}$ のテストパターン16dを絶縁膜8上に形成した例である。◆層間絶縁膜9、保護絶縁膜10をプラズマCVD法等によって半導体装置1製造時と同一条件にて堆積する。

【0045】全工程後、各テストパターン上におけるヒロック発生の有無を、顕微鏡等を用いてチェックする。この結果に基づく、ヒロック発生密度のテストパターン寸法依存性について図4に示す。図中、横軸がテストパターン短辺寸法、縦軸がテストパターンアスペクト比 r である。マーカ○はヒロック発生が認められなかったテストパターンであることを、●はヒロック発生が認められたテストパターンであることを表す。

【0046】この図から、テストパターンの短辺寸法が臨界値約 $90\mu\text{m}$ 以上となると、すべてのアスペクト比のテストパターンにおいてヒロックが発生することが分かる。また、短辺寸法がある臨界値約 $90\mu\text{m}$ 以下のテストパターンであっても、ある臨界アスペクト比以上となると、ヒロックが発生することが分かる。短辺= $6\mu\text{m}$ の場合、アスペクト比 \leq 約80のときはヒロックが認められなかったが、アスペクト比 $>$ 約80のときはヒロックが認められた。この結果から、すべてのテストパターンの短辺寸法に対応するヒロック発生臨界アスペクト比、すなわちヒロック発生臨界寸法が存在することが分かる。ヒロックが発生する矩形寸法領域を灰色で示す。

【0047】例えば、短辺寸法=長辺寸法= $300\mu\text{m}$

の大容量コンデンサを製造する場合、図4では、アスペクト比=1の場合、短辺寸法を約 $90\mu\text{m}$ 以上とした場合にヒロックが発生したため、分割したコンデンサ用導電性薄膜6aの短辺寸法 s は、 k が $(300/k\mu\text{m}) < 90\mu\text{m}$ を満たす最小の整数値をとるように決定する。この場合、 $k=4$ 、すなわち $s \approx 75\mu\text{m}$ となる。

【0048】図1では導通部6bを15個用いており、実際にはこの部分もコンデンサ面積に含まれる。導通部6bの短辺を d_s 、長辺を d_l とし、導通部6bによるコンデンサ用電極6の増加面積分も考慮して、 $16s^2 + 15d_s \cdot d_l = 300^2$ を満たし、かつ導電性薄膜6aと導通部6bを組み合わせた矩形寸法 $x_2 = d_l$ 、 $y_2 = 2s + d_s$ がヒロック発生臨界寸法以上にならないように s 、 d_s 、 d_l を決定する（例えば、 $s=74.5\mu\text{m}$ 、 $d_s=4\mu\text{m}$ 、 $d_l=20\mu\text{m}$ ）。

【0049】また、大容量コンデンサ用電極6とシリコン基板7の間に形成する絶縁膜8の膜厚が、例えば、 $0.1\mu\text{m}$ と薄い場合には、膜厚 $0.1\mu\text{m}$ の絶縁膜8も形成し、その領域にも同様のテストパターンを形成して、ヒロック発生臨界寸法を決定することになる。各膜の寸法の決定方法は、膜厚を薄くした場合においても変わらず、上で説明したように行えばよい。

【0050】このようにして決定した寸法のコンデンサ用導電性薄膜6aと導通部6bを組み合わせて大容量コンデンサを形成することにより、設計仕様を満足する面積のコンデンサを得ることが可能となる。

【0051】図5は本発明の実施例に基づく高周波数通信に対応した半導体装置1を半導体装置を形成した側から見た図である。この半導体装置1内部には図1で説明した大容量コンデンサ用電極6を有する高周波数通信対応のノイズフィルタ回路2、演算回路3、記憶回路4、幅広配線5、幅広配線5よりも細い配線等で構成されている。この半導体装置1内においては、大容量コンデンサ用電極6は層間絶縁膜9の半導体基板側に形成され、層間絶縁膜9は演算回路3や記憶回路4等の高集積化を進める一手段として薄膜化を図っている。そのためノイズフィルタ回路2内大容量コンデンサ用電極6や幅広配線5等のような大面積が必要な導電性薄膜においてヒロックが発生し易い条件になっている。このような半導体装置に本発明を利用すると、非常に効果的にヒロック発生を防止することが可能である。

【0052】本発明に基づく半導体装置を配線に応用した第2の実施例について、図6を用いて説明する。上側の図は配線17を半導体装置表面側、すなわち半導体装置形成面側から見た図であり、配線17の上に堆積した膜を除去した平面図である。下側の図は、上側の図の配線17上に堆積した膜を除去する前のB-B'断面図である。

【0053】配線に大電流が負荷される場合には抵抗値

を下げるため、配線幅は広く設計される。しかし、図 4 にて示したように配線の幅や長さによってはヒロックが発生する場合がある。例えば、図 4 中では寸法 $50 \times 2000 \mu\text{m}$ の導電性薄膜（アスペクト比 $= 40$ ）はヒロック発生寸法領域内の矩形パターンであり、この寸法の矩形パターンは形成できないことが分かる。

【0054】図 1 の大容量コンデンサと積層構造及び製造方法が全く同一である場合の $50 \times 2000 \mu\text{m}$ の配線を設計する場合について説明する。この場合においても図 4 を用い、ヒロックが発生しない矩形パターンを決定する。設計仕様を満たす矩形パターンの幅は $50 \mu\text{m}$ であるから、分割した後、実質的に電流が流れる矩形パターンの合計幅も $50 \mu\text{m}$ 以上でなければならない。例えば、短辺寸法を $17 \mu\text{m}$ ($= 50 \mu\text{m} / 3$) とすると、ヒロックが発生しないアスペクト比は約 2.9 以下であるから、長辺寸法を $340 \mu\text{m}$ 以下としなければならない。

【0055】図 6 の配線パターン 17 は、短辺寸法 $= 17 \mu\text{m}$ 、長辺寸法 $\leq 300 \mu\text{m}$ の導電性薄膜 17a を 7 個長辺方向に $4 \mu\text{m}$ 間隔で並べたものを一列として $4 \mu\text{m}$ 間隔で 4 列配列し、かつ各列が隣の列と長辺方向へ $76 \mu\text{m}$ ($= \text{長辺寸法 } 300 \mu\text{m} + \text{長辺方向の導電性薄膜間隔 } 4 \mu\text{m}$) の $1/4$ ずつずらしたパターンとしている。配線は、長辺寸法 $\leq 300 \mu\text{m}$ であるため、配線長 $2000 \mu\text{m}$ 全長にわたって常に 4 列が導通している訳ではなく、4 列中常に 3 列以上が長辺方向へ導通したパターンになっている。従って、4 列並べなければ $50 \mu\text{m}$ の配線幅を確保できない。

【0056】電気的に隣の列と接続するための導通部 17b は、図 6 の断面図に示すように導電性薄膜 17a と同一平面上に形成され、長辺方向にずれて配置されている。導通部 17b の寸法は、隣の列との導通のために少なくとも導電性薄膜の幅 $17 \mu\text{m}$ 以上を確保しなければならないため、 $4 \times 17 \mu\text{m}$ としている。この 4 列の配線パターンによって、ヒロックが発生しない寸法 $50 \times 2000 \mu\text{m}$ 相当の配線を形成している。

【0057】このように幅の広い配線についても、図 4 中のヒロックが発生しにくい導電性薄膜 17a と導通部 17b を複数個組み合わせることによって、設計仕様を満たす配線を得ることが可能となる。◆また、シリコン基板 7 の露出部と配線を接続するためのバリア層を、絶縁膜 8 と導電性薄膜 17a との間に形成することも有効である。このバリア層の材料としては、タングステン、チタニウム、コバルト等の金属やそれらを含む合金、或いはチタンナイトライド等の侵入型化合物、或いはシリサイド化合物等を用いることが望ましい。

【0058】導電性薄膜 17a や導通部 17b の材質としては、実施例 5 において導電性薄膜 6a と導通部 6b に適した材料として挙げたものを用いればよい。この配線 17 の製造には図 2 にて説明したものと同様の製造方

法を用いればよい。バリア層を堆積する場合には工程 101 の前にバリア層堆積工程を設ける必要がある。

【0059】本発明に基づく半導体装置に関する第 3 の実施例について、図 7～図 9 を用いて説明する。

【0060】図 7 は、第 3 の半導体装置 1 の高周波数対応ノイズフィルタ 2 内大容量コンデンサ用電極 6 を半導体装置形成面側から見た図であり、コンデンサ用電極 6 の上に堆積した膜を除去した平面図である。図 8 は図 7 に示したコンデンサ用電極 6 上に堆積した膜を除去する前の C-C' 断面図、D-D' 断面図である。大容量コンデンサ用電極 6 は、半導体基板 7 上に絶縁膜 8 を介して基盤目状に配列された 16 個の導電性薄膜 6a と、各導電性薄膜 6a を電気的に接続するための 24 個の導通部 6c と、層間絶縁膜 9 と、回路全体を保護する保護絶縁膜 10 から構成され、大容量コンデンサ用電極 6 全体としては、ノイズフィルタ回路内の他の回路要素と配線 5a によって、電気的に接続されている。

【0061】この実施例においては、実施例 1 と異なり、各導電性薄膜 6a と各導通部 6c とが同一平面上に形成されていないことに特徴がある。C-C' 断面図において導通部 6c は他の回路と電気的に接続する 2 層配線のように見えるが、D-D' 断面図によって導通部 6c は導電性薄膜 6a とのみ接続されていることが明らかであり、複数の導電性薄膜 6a と導通部 6c を組み合わせた大容量コンデンサ用電極 6 の一部として導通部 6c が機能していることが分かる。

【0062】第 1 の実施例においては各導電性薄膜 6a と各導通部 6b を同一平面上に形成していたため、導電性薄膜 6a と導通部 6b を組み合わせた矩形寸法をヒロック発生臨界寸法以下とする必要があったが、この実施例においては導電性薄膜 6a 単独の寸法のみをヒロック発生臨界寸法以下にすることによって、大容量コンデンサ用電極 6 が設計仕様を満たす容量（面積）を有し、かつヒロック発生を防止できる構造にすることが可能である。各導電性薄膜 6a の寸法決定には、第 1 の実施例にて説明したヒロック発生臨界寸法の決定方法を用いればよい。

【0063】この半導体装置 1 の製造方法を、半導体基板がシリコン基板の場合を例にとり、大容量コンデンサ用電極 6 の C-C' 断面図を用いて図 9 にて説明する。◆まず、シリコンの半導体基板 7 表面を熱酸化等を行うことによって、絶縁膜 8 を膜厚 $1.6 \mu\text{m}$ 形成する。次に絶縁膜 8 上に A1 等の導電性薄膜 60 をスパッタリング法等によって膜厚 $0.5 \mu\text{m}$ 堆積する。導電性薄膜 60 上にレジスト 20 を塗布してパターンニングし、導電性薄膜 60 をパターンニングするためのレジストパターン 20a を形成する。ドライエッチング等を行うことによって、パターンニングされた導電性薄膜 6a を形成する（工程 200）。

【0064】レジストパターン 20a を除去し、プラズ

マＣＶＤ法等によって「課題を解決するための手段」の項にて説明した３層構造の層間絶縁膜 9 を膜厚 $1.0\mu\text{m}$ 形成する。導電性薄膜 6 0 をパターンニングして得た 1 層目の導電性薄膜で形成された素子と、後の工程で形成する 2 層目配線とを電気的接続をするためのコンタクトホール形成工程において、導通部 6 c を形成するため、導電性薄膜 6 a 上の層間絶縁膜 9 表面にもレジスト 2 0 を塗布してパターンニングし、レジストパターン 2 0 b を形成する。層間絶縁膜 9 をエッチングすることによってコンタクトホール 2 1 を形成する（工程 2 0 1）。

【0065】レジストパターン 2 0 b を除去し、層間絶縁膜 9 上にスパッタリング法等によって A 1 等の導電性薄膜 6 1 を堆積する（工程 2 0 2）。2 層目配線と導通部 6 c を形成するために導電性薄膜 6 1 へのレジスト塗布、パターンニングを行い、エッチングすることによって第 2 配線層と導通部 6 c を得る（工程 2 0 3）。最後に回路、配線を湿気等から保護するため、酸化シリコンから成る保護絶縁膜 1 0 をプラズマＣＶＤ法等によって膜厚 $1.0\mu\text{m}$ 堆積する（工程 2 0 4）。以上の製造工程によって、ヒロックが発生しない大容量コンデンサ用電極 6 を内蔵した半導体装置 1 を得る。

【0066】半導体基板 7 上への薄膜形成方法、各電子素子の形成方法等は、上に記載した方法等に限定するものではなく、他の方法によっても差し支えない。また、各種数値および材質等も特に限定するものではない。

【0067】また、導電性薄膜 6 a 及び通部 6 c もこの材質に限るものではなく、例えば他の金属、或いは導電性がある金属シリサイドや侵入型化合物、或いは不純物を注入した半導体も有効であり、更には、アルミニウム、アルミニウム合金、銅、銅合金、チタニウム、チタニウム合金、タングステン、タングステン合金等の金属、或いはチタニウム、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、タンタル、タングステン、ジルコニウム、ニオブ、モリブデン、パラジウム、ロジウム、イリジウム、白金、ハフニウム、テルビウム、エルビウム、イットリウムの中から選択される 1 つとシリコンとから成る金属シリサイド、或いはチタンナイトライド等の侵入型化合物であっても差し支えない。導電性薄膜 6 a と導通部 6 c は同一材質である必要はなく、異なる導電性のある薄膜を用いても構わない。

【0068】また、シリコン基板 7 の露出部と他の配線を接続するためのバリア層を、絶縁膜 8 と導電性薄膜 6 a との間に形成することも有効である。このバリア層の材料としては、タングステン、チタニウム、コバルト等の金属やそれらを含む合金、或いはチタンナイトライド等の侵入型化合物、或いはシリサイド化合物等を用いることが望ましい。バリア層を堆積する場合には、図 9 の工程 2 0 0 の導電性薄膜 6 0 堆積工程前にバリア層堆積工程を設ける必要がある。

【0069】この実施例は配線等を 2 層形成した場合に

ついてであるが、2 層以上形成した場合に実施しても差し支えない。また、導電性薄膜 6 a を基盤目状に配列していたが、半導体基板上のスペースを有効に利用した他の配列方法を用いても差し支えない。

【0070】第 3 の実施例と同様の方法を配線パターンに応用した場合の第 4 の実施例について、図 1 0 に示す。図 1 0 の上側の図は配線パターン 1 7 を半導体装置形成面側から見た図であり、配線パターン 1 7 の上に堆積した膜を除去した平面図である。E-E' ラインの上側に配置した導通部 1 7 c は、導通部 1 7 c の下には導通部分が形成されていないことを示すために、右上半分を取り除いている。下側の図は、配線パターン 1 7 上に堆積した膜を除去する前の E-E' 断面図である。

【0071】図中に示した配線パターンは図 6 と同様、 $50\times 2000\mu\text{m}$ の配線に相当する配線パターン 1 7 を形成したものである。配線に用いた A 1 の導電性薄膜寸法は、実施例 2 において説明した導電性薄膜 1 7 a と同一寸法である。導通部 1 7 c は導電性薄膜 1 7 a と同一平面に形成されていないため、第 2 の実施例とは異なり、導電性薄膜 1 7 a の長辺方向を直接接続することが可能である。そのため、配線パターン 1 7 全体の幅は、導電性薄膜 1 7 a 三つの幅と各導電性薄膜 1 7 a の間の幅 $4\mu\text{m}$ 二つ分を合計した $59\mu\text{m}$ であり、第 2 の実施例（第 2 の実施例における配線全体の幅は $80\mu\text{m}$ ）ほどには配線パターン 1 7 全体の幅が増加しないことに特徴がある。幅方向の接続は隣合う導電性薄膜 1 7 a 間で電位差が生じないようにするためである。

【0072】ヒロックが発生しにくい導電性薄膜 1 7 a と導通部 1 7 c を複数個組み合わせたこの 3 列の配線パターンによって設計仕様を満たし、かつヒロックが発生しない寸法 $50\times 2000\mu\text{m}$ 相当の配線を形成することが可能となる。この配線 1 7 の製造には、図 9 にて説明したものと同様の製造方法を用いれば良い。

【0073】また、シリコン基板 7 の露出部と配線を接続するためのバリア層を、絶縁膜 8 と導電性薄膜 1 7 a との間に形成することも有効である。このバリア層の材料としては、タングステン、チタニウム、コバルト等の金属やそれらを含む合金、或いはチタンナイトライド等の侵入型化合物、或いはシリサイド化合物等を用いることが望ましい。

【0074】導電性薄膜 1 7 a や導通部 1 7 c の材質としては、第 3 の実施例において導電性薄膜 6 a と導通部 6 c に適した材料として挙げたものを用いればよい。◆この配線 1 7 の製造には、図 9 にて説明したものと同様の製造方法を用いれば良い。バリア層を堆積する場合には、図 9 の工程 2 0 0 の導電性薄膜 6 0 堆積工程前にバリア層堆積工程を設ける必要がある。◆本発明に基づく半導体装置に関する第 5 の実施例について、図 1 1 及び図 1 2 を用いて説明する。

【0075】図 1 1 の上側の図は、本発明に基づく別の

半導体装置 1 の高周波数対応ノイズフィルタ 2 内大容量コンデンサ用電極 6 を半導体素子形成面側から見た図であり、コンデンサ用電極 6 の上に堆積した膜を除去した平面図である。図中の曲線 27 の右上の領域は、導電性薄膜 6 a を示すために導通膜 6 d を除去している。下側の図は、上側の図のコンデンサ用電極 6 上に堆積した膜を除去する前の F-F' 断面図である。

【0076】大容量コンデンサ用電極 6 は、半導体基板 7 上に絶縁膜 8 を介して基盤目状に配列された複数の導電性薄膜 6 a と、各導電性薄膜 6 a を電気的に接続するための導通膜 6 d から構成され、層間絶縁膜 9 と回路全体を保護する保護絶縁膜 10 が導通膜 6 d 上に堆積されている。大容量コンデンサ用電極 6 全体としては、配線 5 a によって、ノイズフィルタ回路 2 内の他の回路要素と電気的に接続されている。

【0077】この実施例においては、第 1 の実施例、第 3 の実施例と異なり、導電性薄膜 6 a 上に、大容量コンデンサ用電極 6 と同一面積で、かつ導電性薄膜 6 a よりも膜厚が薄い導通膜 6 d を堆積していることに特徴がある。導通膜 6 d には導電性があるため各導電性薄膜 6 a は電気的に接続されて一つの大きな容量のコンデンサとなるとともに、各導電性薄膜 6 a 間に絶縁膜 9 のリブ 26 を形成しているため、絶縁膜 9 の曲げ変形に対する剛性が向上する。このことによって、ヒロック発生現象のような導電性薄膜 6 a の変形を強制的に防止することが可能となる。

【0078】また、本発明を用いることによって、第 1 実施例、第 3 実施例のように、大容量コンデンサ用電極 6 の内に、絶縁膜で埋められた、コンデンサとして機能しないスペースが生じることがなく、大容量コンデンサ用電極 6 を最もコンパクトに形成することができる。この実施例においては、導電性薄膜 6 a の寸法をヒロック発生臨界寸法以下にすることによって、大容量コンデンサ用電極 6 が設計仕様を満たす容量を有し、かつヒロック発生を防止できる構造にすることが可能である。各導電性薄膜 6 a の寸法決定には、第 1 の実施例にて説明したヒロック発生臨界寸法の決定方法を用いればよい。

【0079】尚、導通膜 6 d に導電性薄膜 6 a よりも変形しにくい材質を用いると、導電性薄膜 6 a におけるヒロック抑制には更に効果がある。第 1 の実施例の図 3 にて説明したテストパターン上に導通膜 6 d と同一材料でかつ同一膜厚の膜を堆積した積層構造を用いることによって、ヒロック発生臨界寸法を決定することができる。

本発明に係る半導体装置 1 の製造方法を、半導体基板がシリコン基板の場合を例にとり、図 12 にて大容量コンデンサ用電極 6 の F-F' 断面図を用いて説明する。

【0080】まず、シリコンの半導体基板 7 表面を熱酸化等によって酸化シリコンの絶縁膜 8 を膜厚 1.6 μm 形成する。次に絶縁膜 8 上に A1 の導電性薄膜 60 をスパッタリング法等によって膜厚 0.5 μm 堆積する。導

電性薄膜 60 をエッチングすることによってパターンニングし、ヒロック発生臨界寸法より小さくパターンニングされた導電性薄膜 6 a を形成する（工程 300）。導電性薄膜 6 a 上にスパッタリング法等によって A1 の別の導電性薄膜 62 を膜厚 0.1 μm 堆積し、導電性薄膜 6 a を形成した大容量コンデンサ形成領域以外をエッチングすることによって、A1 の導通膜 6 d を形成する（工程 301）。プラズマ CVD 法等によって前記 3 層構造の層間絶縁膜 9 を膜厚 1.0 μm 形成する（工程 302）。層間絶縁膜 9 は各導電性薄膜 6 a 間に形成されている凹部にも埋め込まれるので、層間絶縁膜 9 にリブ 26 が形成される。

【0081】リブ 26 は、回路形成面側から見ると図 11 の上側の図に現われているように各導電性薄膜 6 a 間に格子状に形成される。そのため、層間絶縁膜 9 は曲げ変形に対する剛性が向上し、導電性薄膜 6 a 及び導通膜 6 d に生じるヒロック発生等の変形を強制的に抑えることが可能になる。

【0082】層間絶縁膜 9 へのコンタクトホールや 2 層目配線（図中には描写しない）を図示の領域外に形成した後、回路、配線を湿気等から保護するための酸化シリコンの保護絶縁膜 10 をプラズマ CVD 法等によって膜厚 1.0 μm 堆積する。以上の製造工程によって、ヒロックが発生しない大容量コンデンサ用電極 6 を内蔵した半導体装置 1 を得る。◆尚、導電性薄膜 6 a と導通膜 6 d の材料が同一である場合には、別の製造方法によっても大容量コンデンサ用電極 6 を内蔵した半導体装置 1 は製造可能である。

【0083】次に、図 11 及び図 12 の導電性薄膜 6 a と導通膜 6 d が同一 A1 である場合の別の製造方法について説明する。図 12 の工程 300 の導電性薄膜 60 のエッチング工程において、まず導電性薄膜 60 を、コンデンサ電極 6 を形成する領域を除いてエッチングし、次にコンデンサ電極 6 をヒロック発生臨界寸法以下に分割するためのエッチングを行う。このコンデンサ電極 6 を分割する工程において、絶縁膜 8 が露出するまで導電性薄膜 60 をエッチングせず、膜厚 0.1 μm 程度残留しているときにエッチングを終了する。この工程によって、基盤目状に形成される膜厚が厚い部分と、格子状に形成される膜厚が薄い部分を持つ、工程 301 において形成されるような導電性薄膜 6 a と導通膜 6 d を合わせた形状の導電性薄膜が形成される。

【0084】この製造方法を用いる場合には、エッチング用材料の管理やエッチング時間の管理等を厳密に行わなければならないことに注意しなければならない。◆本実施例においては、シリコン基板 7 の露出部と他の配線を接続するためのバリア層を、絶縁膜 8 と導電性薄膜 6 a との間に形成することも有効である。このバリア層の材料としては、タングステン、チタニウム、コバルト等の金属やそれらを含む合金、或いはチタンナイトライド

等の侵入型化合物、或いはシリサイド化合物等を用いることが望ましい。

【0085】製造工程中に用いられる薄膜堆積方法、各回路の形成方法等は、上に記載した方法等に限定するものではなく、他の方法によっても構わない。各種数値及び材質等も特に限定するものではない。また、リブ26は格子状に形成されていたが、特にこの形状に限るものではなく、層間絶縁膜9の曲げ剛性が向上する形状であれば良い。

【0086】また、導電性薄膜6aも説明に用いた材質に限るものではなく、例えば他の金属、或いは導電性がある金属シリサイドや侵入型化合物、或いは不純物を注入した半導体も有効であり、更には、アルミニウム、アルミニウム合金、銅、銅合金、チタニウム、チタニウム合金、タングステン、タングステン合金等の金属、或いはチタニウム、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、タンタル、タングステン、ジルコニウム、ニオブ、モリブデン、パラジウム、ロジウム、イリジウム、白金、ハフニウム、テルビウム、エルビウム、イットリウムの中から選択される1つとシリコンとから成る金属シリサイド、或いはチタンナイトライド等の侵入型化合物であっても差し支えない。前述したようにコンデンサ用導電性薄膜6aと導通膜6dは同一材質である必要はなく、導通膜6dの材質を導電性薄膜6aよりも変形しにくい材料の薄膜を用いると、より効果的にヒロック発生等の導電性薄膜6aの変形を防止することが可能である。

【0087】この実施例は配線等を2層形成した場合についてであるが、2層以上形成した場合に実施しても構わない。

【0088】第5の実施例と同様の方法を、配線パターンに応用した場合の第6の実施例について、図13に示す。図13の上側の図は、配線パターン17を半導体装置形成面側から見た図であり、配線パターン17の上に堆積した膜を除去した平面図である。図中の曲線27の内側の領域は、導電性薄膜17aを示すために導通膜17dを除去している。下側の図は、配線パターン17上に堆積した膜を除去する前のG-G'断面図である。

【0089】図中に示した配線パターンは、図6と同様、 $50 \times 2000 \mu\text{m}$ の配線に相当する配線パターン17を形成したものである。配線に用いたA1の導電性薄膜寸法は、第2の実施例及び実施例4において説明した導電性薄膜17aと同一寸法である。導通膜17dは、導電性薄膜17aと同一平面に形成されていないため、第2の実施例とは異なり、導電性薄膜17aの長辺方向を直接接続することが可能である。そのため、配線パターン17全体の幅は、導電性薄膜17a三つの幅と各導電性薄膜17aの間の幅 $4 \mu\text{m}$ 二つ分を合計した $59 \mu\text{m}$ であり、第2の実施例（第2の実施例では配線幅は $80 \mu\text{m}$ ）ほどには配線パターン17全体の幅が増加

しないことに特徴がある。また、配線パターン17全体を導通膜17dで覆っているため、配線幅方向にはほとんど電位差を生じないというメリットも有している。

【0090】ヒロックが発生しにくい導電性薄膜17aと導通膜17dを組み合わせたこの3列の配線パターンによって、設計仕様を満たし、かつヒロックが発生しない寸法 $50 \times 2000 \mu\text{m}$ 相当の配線を形成することが可能となる。この配線17の製造には、図12にて説明したものと同様の製造方法を用いれば良い。

【0091】また、シリコン基板7の露出部と他の配線を接続するためのバリア層を、絶縁膜8と導電性薄膜17aとの間に形成することも有効である。このバリア層の材料としては、タングステン、チタニウム、コバルト等の金属やそれらを含む合金、或いはチタンナイトライド等の侵入型化合物、或いはシリサイド化合物等を用いることが望ましい。

【0092】導電性薄膜17aや導通部17dの材質としては、実施例5において導電性薄膜6aや導通膜6dに適した材料として挙げたものを用いればよい。

【0093】

【発明の効果】以上説明したように、本発明に基づく半導体装置の製造方法を用いることによって、あらゆる設計仕様を満たすような面積を有し、かつヒロックが発生しない導電性薄膜を有する半導体装置を得ることが可能となる。

【0094】このことによって、半導体装置製造時に発生する配線間の短絡、配線の断線、絶縁膜の破壊、剥離等の様々なヒロックに起因した不良を防止することができ、高い製品信頼性を有し、かつ高い歩留りの半導体装置を製造することが可能となる。

【図面の簡単な説明】

【図1】図1は本発明に基づく実施例1に係る半導体装置を半導体基板の電子素子形成面側から見た図である。

【図2】図2は本発明に基づく実施例1に係る半導体装置内に形成した大容量コンデンサ用電極の製造工程断面図である。

【図3】図3は本発明に基づく実施例1に係る半導体装置内に形成した大容量コンデンサ用電極の、ヒロックが発生しない導電性薄膜分割寸法を決定するために用いる、導電性薄膜テストパターンを半導体基板の電子素子形成面側から見た図である。

【図4】図4は本発明に基づく実施例1に係る半導体装置内に形成した大容量コンデンサ用電極の、ヒロックが発生しない導電性薄膜分割寸法を決定するために用いる、ヒロック発生現象の導電性薄膜矩形寸法依存性を表した図である。

【図5】図5は本発明に基づく実施例1に係る半導体装置1を半導体基板の電子素子形成面側から見た図である。

【図6】図6は本発明に基づく第2の実施例に係る半導

体装置内に形成した幅広配線を半導体基板の電子素子形成面側から見た図および断面図である。

【図 7】図 7 は本発明に基づく第 3 の実施例に係る半導体装置内に形成した大容量コンデンサ用電極を半導体基板の電子素子形成面側から見た図である。

【図 8】図 8 は本発明に基づく第 3 の実施例に係る半導体装置内に形成した大容量コンデンサ用電極を断面から見た図である。

【図 9】図 9 は本発明に基づく第 3 の実施例に係る半導体装置内に形成した大容量コンデンサ用電極の製造工程断面図である。

【図 10】図 10 は本発明に基づく実施例 4 に係る半導体装置内に形成した幅広配線を半導体基板の電子素子形成面側から見た図および断面図である。

【図 11】図 11 は本発明に基づく実施例 5 に係る半導体装置内に形成した大容量コンデンサ用電極を半導体基板の電子素子形成面側から見た図および断面図である。

【図 12】図 12 は本発明に基づく実施例 5 に係る半導体装置内に形成した大容量コンデンサ用電極の製造工程

断面図である。

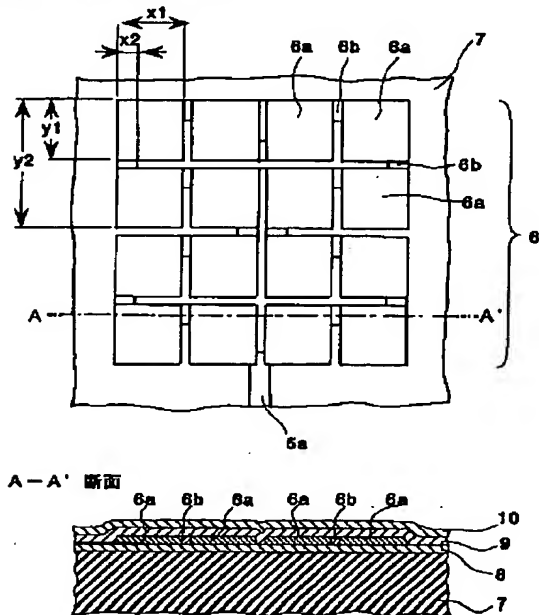
【図 13】図 13 は本発明に基づく実施例 6 に係る半導体装置内に形成した幅広配線を半導体基板の電子素子形成面側から見た図および断面図である。

【符号の説明】

1…半導体装置、2…ノイズフィルタ回路、3…演算回路、4…記憶回路、5…幅広配線、5a…配線、6…大容量コンデンサ用電極、6a…導電性薄膜、6b、6c…導通部、6d…導通膜、7…半導体基板、8…絶縁膜、9…層間絶縁膜、10…保護絶縁膜、16、16a、16b、16c、16d…A1 膜テストパターン、17…配線パターン、17a…配線用導電性薄膜、17b、17c…配線用導通部、17d…配線用導通膜、20…レジスト、20a、20b…レジストパターン、21…コンタクトホール、26…リブ、27…図の説明のための曲線、60…パターニング前の第 1 層目の導電性薄膜、61…パターニング前の第 2 層目の導電性薄膜、62…パターニング前の導通膜 6d 形成用導電性薄膜。

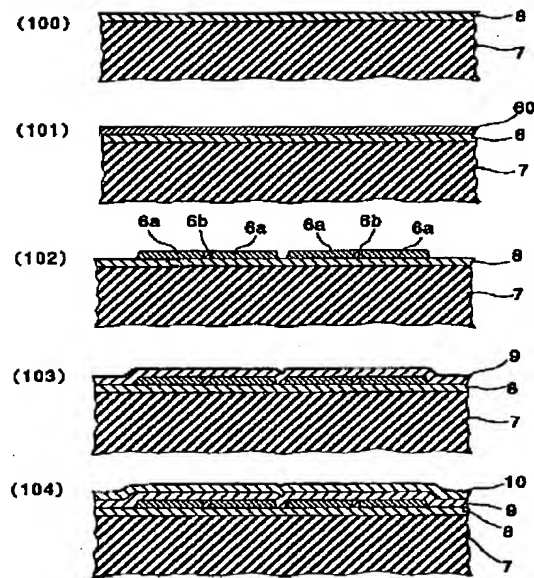
【図 1】

第 1 の実施例に係る大容量コンデンサ用電極を半導体装置形成面側から見た平面図（図 1）



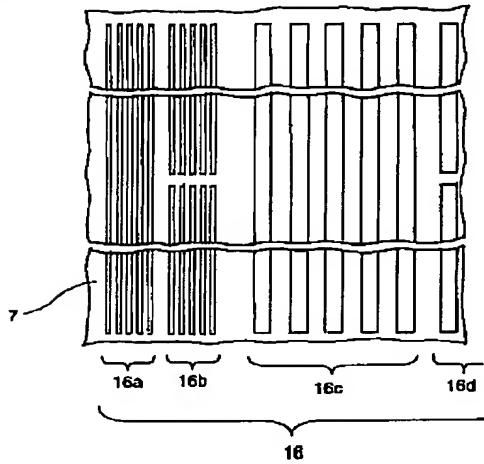
【図 2】

第 1 の実施例に係る大容量コンデンサ用電極の製造工程断面図（図 2）



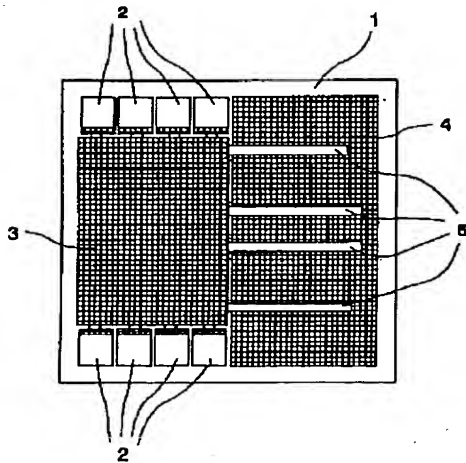
【図3】

第1の実施例に係る導電性薄膜のヒロック発生臨界寸法を決定するためのテストパターンをパターン作製面側から見た図（図3）



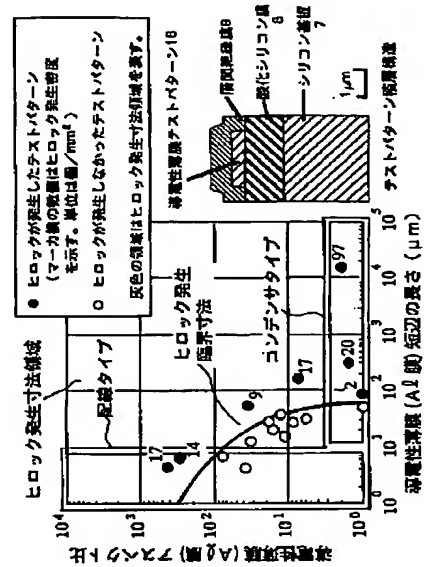
【図5】

第1の実施例に係る電極を内蔵した半導体装置を回路面側から見た図（図5）



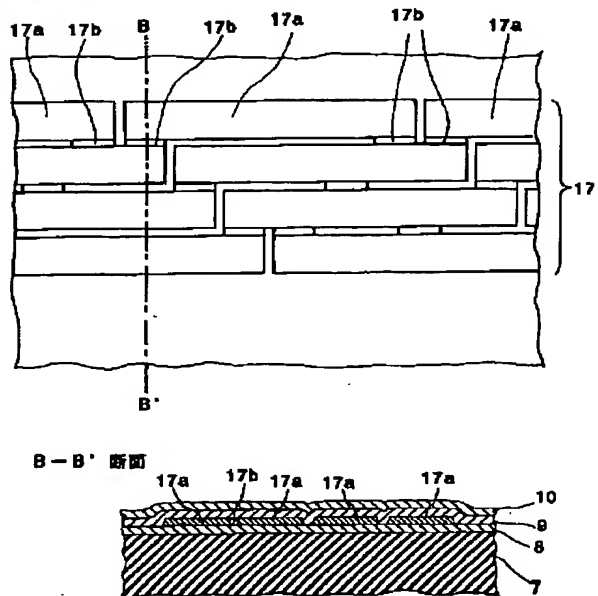
【図4】

ヒロック発生現象の導電性薄膜矩形寸法依存性（図4）



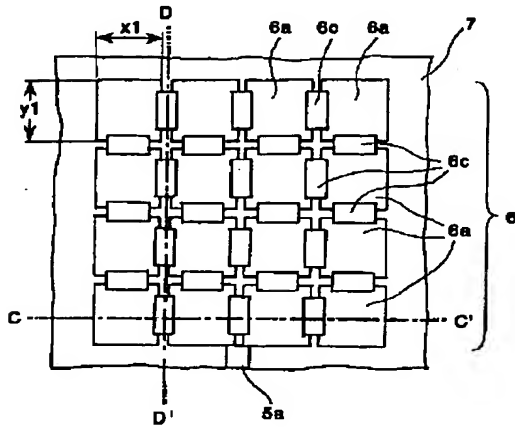
【図6】

第2の実施例に係る配線を半導体装置形成面側から見た図（図6）



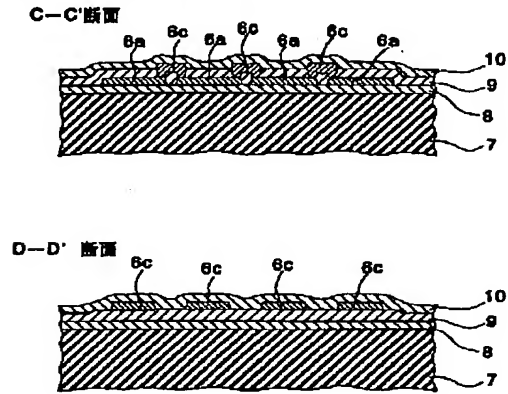
【図 7】

第 3 の実施例に係る大容量コンデンサ用電極を半導体装置形成面側から見た平面図（図 7）



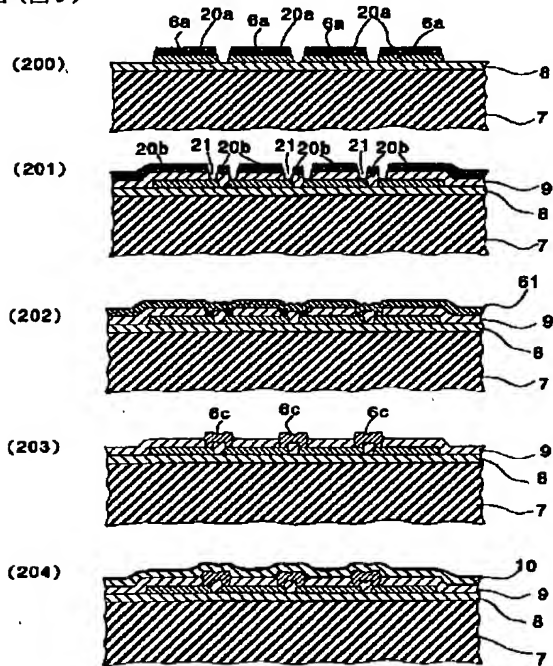
【図 8】

第 3 の実施例に係る大容量コンデンサ用電極の C-C' 断面図及び D-D' 断面図（図 8）



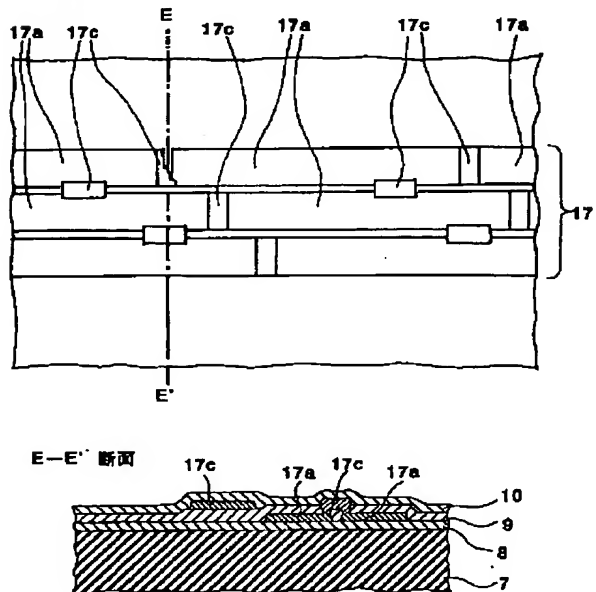
【図 9】

第 3 の実施例に係る大容量コンデンサ用電極の製造工程断面図（図 9）



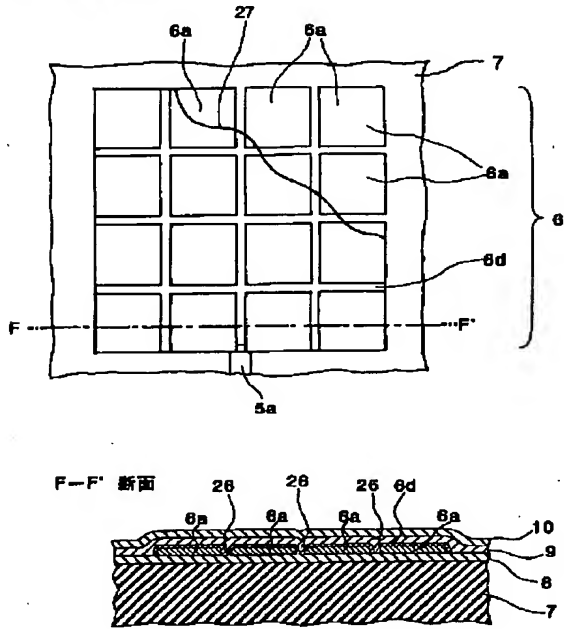
【図 10】

第 4 の実施例に係る配線を半導体装置形成面側から見た図（図 10）



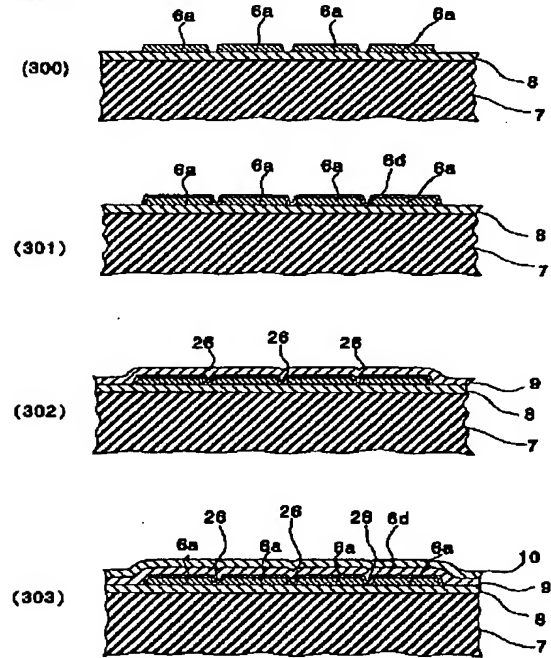
【図11】

第5の実施例に係る大容量コンデンサを半導体装置形成面側から見た図(図11)



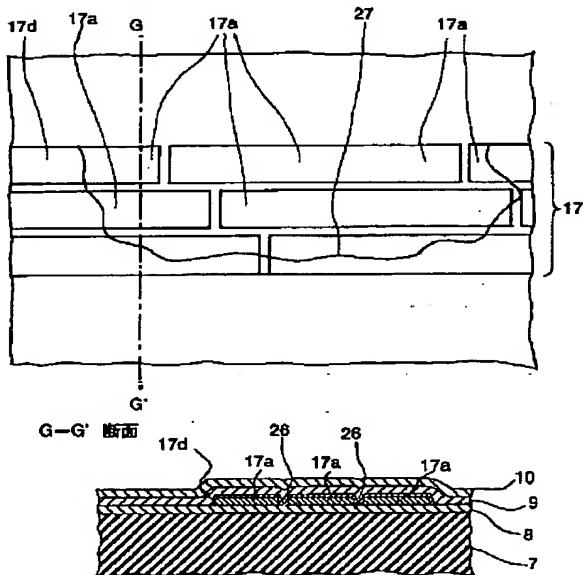
【図12】

第5の実施例に係る大容量コンデンサ用電極の製造工程断面図(図12)



【図13】

第6の実施例に係る配線を半導体装置形成面側から見た図(図13)



フロントページの続き

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
			H O 1 L 21/88	Z
(72) 発明者 太田 裕之			(72) 発明者 西村 朝雄	
茨城県土浦市神立町502番地 株式会社日			茨城県土浦市神立町502番地 株式会社日	
立製作所機械研究所内			立製作所機械研究所内	